

INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2007 年版

システムドライバ

THE ITRS IS DEvised AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2007 Edition(国際半導体技術ロードマップ 2007年版)の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)、2 つのタスクフォース(設計タスクフォースと故障解析タスクフォース)、経済性検討小委員会が組織され、半導体集積回路メーカー、半導体製造装置メーカー、材料メーカー、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2007年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。

訳文の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただければありがたい。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、こども訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。本書の巻末に用語集(Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 SRTJ 事務局の古川昇さん、恩田豊さん、近藤美智さん、明石理香さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2008年5月
訳者一同を代表して
電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

著作権について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2007 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries
Association under the license of the Semiconductor Industry Association

—引用する場合の注意—

原文(英語版)から引用する場合： 2007 ITRS page XX, Figure(Table) YY
この和訳から引用する場合： 2007 ITRS JEITA 和訳 XX 頁,図(表)YY
と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5275-7258 mailto: roadmap@jeita.or.jp

TABLE OF CONTENTS

概要.....	1
マーケット・ドライバ.....	1
システム・オン・チップ・ドライバ.....	3
ネットワークSOCドライバ	4
民生用SOCドライバ6	
民生用SOCドライバの設計生産性の動向	6
民生用携帯機器向けSOC (SOC-CP) ドライバ.....	7
民生用据置き機器向けSOC (SOC-CS) ドライバ	10
マイクロプロセッサ (MPU) ドライバ.....	13
ミックスド・シグナル・ドライバ	18
混載メモリ・ドライバ.....	25
システム・レベル・ロードマップへの繋ぎ ; SOC-PE消費電力試算	28

LIST OF FIGURES

Figure SYSD1	SOC Networking Driver Architecture Template.....	5
Figure SYSD2	SOC Networking Driver MC/AE Platform Performance	6
Figure SYSD3	Several Trends for SOC Consumer Portable Driver	8
Figure SYSD4	SOC Consumer Portable Driver Architecture Template.....	8
Figure SYSD5	SOC Consumer Portable Design Complexity Trends	9
Figure SYSD6	SOC Consumer Portable Power Consumption Trends.....	10
Figure SYSD7	SOC Consumer Portable Processing Performance Trends	10
Figure SYSD8	SOC Consumer Stationary Driver Architecture Template.....	11
Figure SYSD9	SOC Consumer Stationary Design Complexity Trends	12
Figure SYSD10	SOC Consumer Stationary Performance Trends	12
Figure SYSD11	SOC Consumer Stationary Power Consumption Trends.....	13
Figure SYSD12	Recent ADC Performance Needs for Important Product Classes	24
Figure SYSD13	ITRS-iNEMI System-to-Chip Power Comparison Trends	29

LIST OF TABLES

Table SYSD1	Major Product Market Segments and Impact on System Drivers	2
Table SYSD2	SOC Consumer Driver Design Productivity Trends.....	7
Table SYSD3	Projected Mixed-Signal Figures of Merit for Four Circuit Types.....	22
Table SYSD4a	Embedded Memory Requirements—Near-term	27
Table SYSD4b	Embedded Memory Requirements—Long-term	27

システムドライバ

概要

将来の半導体の生産能力および設計技術は、世界の半導体産業を牽引するドライバ商品からの要求に応じて開発されている。ITRS は、そのビジネスおよび機械設備の改善を行うサイクルが半導体領域をドライブする製品分野のための技術的要求がどのように発生するかを把握する必要がある。かつては、技術進歩が全ての半導体製品に対して展開し、個々の製品分野ごとの詳細を考える必要はないとの暗黙の仮定があったが、このような仮定はもはや成り立たない。今日、新しい技術導入はますます応用製品がドライブする傾向にある。つまり、アプリケーションが技術発展の動因となっている。計算機用マイクロプロセッサに加え、ミックスド・シグナル・システム、電池駆動の携帯型機器、据置き型民生機器、そして通信機器もこのようなドライバとなっている。組織内だけで行われてきたチップ設計は、マルチソースからのビルディングブロック方式の設計スタイルによるシステム・オン・チップ(SOC)やシステム・イン・パッケージ(SIP)の設計によって取って代わられている。

2007年版 ITRS システムドライバ章の目的は、既存の ITRS のシステムドライバを更新することと、新たなシステムドライバを追加していき、ますます広がりを見せる半導体産業の趨勢をとらえることにある。総括ロードマップ技術指標(Overall Roadmap Technology Characteristics)と共に、システムドライバ章は、ITRS の各技術領域における技術的要求のための首尾一貫したフレームワークおよび動機づけを提供する。この章は、定量的で内部に自己矛盾がなく、将来の技術進歩にも対応可能なシステムドライバのモデルから構成されている。私たちは次の4つのシステムドライバに注目する：システム・オン・チップ(これには頻出するシステム・イン・パッケージ技術への言及も含む)、マイクロプロセッサ(MPU)、アナログ・ミックスド・シグナル(AMS)、および、混載メモリである。システム・オン・チップ・ドライバについては、以下の4つの重要な市場にもとづいて定義をおこなう：民生用据置き機器、民生用携帯機器、通信機器。まずはじめに、半導体製品の主要なマーケット・ドライバについて概観する。読者は International Electronics Manufacturing (iNEMI) roadmap (<http://www.inemi.org>) も参照いただきたい。

マーケット・ドライバ

Table SYSD1 では、製造規模、ダイサイズ、異種技術集積の度合い、システムの複雑さ、タイム・トゥ・マーケットのような要因によって半導体製品市場を対比している。この表で、各分野における SOC、AMS、MPU への影響が示されている。¹

¹ *The market drivers are most clearly segmented according to cost, time-to-market, and production volume. System cost is equal to Manufacturing cost + Design cost. Manufacturing cost breaks down further into non-recurring engineering (NRE) cost (masks, tools, etc.) and silicon cost (raw wafers + processing + test). The total system depends on function, number of I/Os, package cost, power and speed. Different regions of the (Manufacturing Volume, Time To Market, System Complexity) space are best served by FPGA, Structured-ASIC, or SOC implementation fabrics, and by single-die or system-in-package integration. This partitioning is continually evolving.*

Table SYSD1 Major Product Market Segments and Impact on System Drivers

Market Drivers	SOC	Analog/MS	MPU
<i>I. Portable/consumer</i>			
1. Size/weight ratio: peak in 2004 2. Battery life: peak in 2004 3. Function: 2×/2 years 4. Time-to-market: ASAP	Low power paramount Need SOC integration (DSP, MPU, I/O cores, etc.)	Migrating on-chip for voice processing, A/D sampling, and even for some RF transceiver function	Specialized cores to optimize processing per microwatt
<i>II. Medical</i>			
1. Cost: slight downward pressure (~1/2 every 5 years) 2. Time-to-market: >12 months 3. Function: new on-chip functions 4. Form factor often not important 5. Durability/safety 6. Conservation/ ecology	High-end products only. Reprogrammability possible. Mainly ASSP, especially for patient data storage and telemedicine; more SOC for high-end digital with cores for imaging, real-time diagnostics, etc.	Absolutely necessary for physical measurement and response but may not be integrated on chip	Often used for programmability especially when real-time performance is not important Recent advances in multicore processors have made programmability and real-time performance possible
<i>III. Networking and communications</i>			
1. Bandwidth: 4×/3–4 years 2. Reliability 3. Time-to-market: ASAP 4. Power: W/m ³ of system	Large gate counts High reliability More reprogrammability to accommodate custom functions	Migrating on-chip for MUX/DEMUX circuitry MEMS for optical switching.	MPU cores, FPGA cores and some specialized functions
<i>IV. Defense</i>			
1. Cost: not prime concern 2. Time-to-market: >12 months 3. Function: mostly on SW to ride technology curve 4. Form factor may be important 5. High durability/safety	Most case leverage existing processors but some requirements may drive towards single-chip designs with programmability	Absolutely necessary for physical measurement and response but may not be integrated on chip	Often used for programmability especially when real-time performance is not important Recent advances in multicore processors have made programmability and real-time performance possible
<i>V. Office</i>			
1. Speed: 2×/2 years 2. Memory density: 2×/2 years 3. Power: flat to decreasing, driven by cost and W/m ³ 4. Form factor: shrinking size 5. Reliability	Large gate counts; high speed Drives demand for digital functionality Primarily SOC integration of custom off-the-shelf MPU and I/O cores	Minimal on-chip analog; simple A/D and D/A Video i/f for automated camera monitoring, video conferencing Integrated high-speed A/D, D/A for monitoring, instrumentation, and range-speed-position resolution	MPU cores and some specialized functions Increased industry partnerships on common designs to reduce development costs (requires data sharing and reuse across multiple design systems)

Table SYSD1 Major Product Market Segments and Impact on System Drivers (continued)

VI. Automotive			
1. Functionality	Mainly entertainment systems	Cost-driven on-chip A/D and D/A for sensor and actuators	
2. Ruggedness (external environment, noise)	Mainly ASSP, but increasing SOC for high end using standard HW	Signal processing shifting to DSP for voice, visual	
3. Reliability and safety	platforms with RTOS kernel, embedded software	Physical measurement (“communicating sensors” for proximity, motion, positioning); MEMS for sensors	
4. Cost			

A/D—*analog to digital* ASSP—*application-specific standard product* D/A—*digital to analog* DEMUX—*demultiplexer*
 DSP—*digital signal processing* FPGA—*field programmable gate array* i/f—*interface* I/O—*input/output*
 HW—*hardware* MEMS—*microelectromechanical systems* MUX—*multiplexer* RTOS—*real-time operating system*

システム・オン・チップ・ドライバ

SOC はいまなお変化を続けている製品分野であり設計スタイルである。SOC は他のシステムドライバ分野 (MPU、混載メモリ、AMS、そして、プログラマブル・ロジック)からの技術や設計要素を統合して、さまざまな高度に複雑で高付加価値の半導体製品を生み出している。SOC の生産および設計技術は、一般的に出荷量の多い専用製品向けとして元々開発されたものである。SOCドライバは以前の版のITRSで取り上げていたASICから発展したものであり、低設計コストおよび高レベルのシステム・インテグレーションがその主要なゴールである²。SOC設計では、そのゴールは既存ブロックあるいは「コア」の再利用率を最大にすることであり、新規に設計されるチップの量を最小限にすることである。SOC中の再利用されるブロックは、アナログおよび既に量産されている専用コアばかりではなく、ソフトウェア・ブロックも含んでいる。そのキー・チャレンジは、再利用可能なブロックあるいはコアを企画、作成しメンテナンスし、SOC設計者が利用できるようにすることである³。

SOCは、いくつかの意味でこれまでの製品分野を統合したものと見える。上に述べたように、SOCは他のシステムドライバ分野からのブロックを集積したものである。フルカスタムおよびASIC/SOC間の品質ギャップは着実に低減してきた。すなわち、(1)2001年版ITRS以降、ASICおよびMPUのロジック密度は等しいとしてモデル化された。(2)そして、「ASICのスケジュールでカスタム設計並みの性能」は進歩した物理合成とチューニングベースのスタンダード・セル設計手法によってどんどん達成されてきている。そして、MPUはSOCになってきている。すなわち、(1)MPUはますます、SOCに使われるコアとして設計されるようになってきている。(2)その再利用性と設計生産性を改善するためにMPUそれ自身もSOCとして設計されている(後で議論されるように

² The term “ASIC” connotes both a business model (with particular “handoff” from design team to ASIC foundry) and a design methodology (where the chip designer works predominantly at the functional level, coding the design at Verilog/VHDL (very high speed integrated circuits hardware description language) or higher level description languages and invoking automatic logic synthesis and place-and-route with a standard-cell methodology). For economic reasons, custom functions are rarely created; reducing design cost and design risk is paramount. ASIC design is characterized by relatively conservative design methods and design goals (cf. differences in clock frequency and layout density between MPU and ASIC in previous ITRS editions) but aggressive use of technology, since moving to a scaled technology is a cheap way of achieving a better (smaller, lower power, and faster) part with little design risk (cf. convergence of MPU and ASIC process geometries in previous ITRS editions). Since the latter half of the 1990s, ASICs have been converging with SOC in terms of content, process technology, and design methodology.

³ For example, reusable cores might require characterization of specific noise or power attributes (“field of use” or “assumed design context”) that are not normally specified. Creation of an IC design artifact for reuse by others is substantially more difficult (by factors estimated at between 2× and 5×) than creation for one-time use.

ITRS の MPU モデルは複数の演算処理コアを持っており、構成は SOC に似ている⁴⁾。加えて言えば、いくつかの市場分野、とりわけ通信機器やゲーム機器といった分野では、性能仕様がますます高水準になっている。ときには、要求性能指標—例えばダイあたりの毎秒の浮動小数点演算数とかダイあたりの入出力バンド幅—が MPU など既存のドライバのそれを超えることすらある。このような仕様が存在している状況で、主たる設計要求や解決策に対するドライバとなったのは、先述の機器の分野における SOC 設計である。重要な指標—ダイあたりのコア数、コアあたりの最大周波数、ピンあたりの入出力バンド幅など—の伸びは、ますますこれらのドライバに依存するようになっている。

先に述べたとおり、最も基本的な SOC の挑戦はインプリメンテーションの生産性および製造原価である。それはプラットフォームに基づいた設計、シリコン・インプリメンテーションの規則性あるいは他の斬新な回路およびシステム・アーキテクチャ・パラダイムばかりではなく、より大規模な再利用も必要とする。第二の基本的な挑戦は、多数のインプリメンテーション要素(たとえば、リプログラマブル・デバイス、メモリ、アナログ、無線周波(RF)、MEMS、ソフトウェア)からの異種なコンポーネントのインテグレーションである。SOC ドライバ分野は、設計生産性を改善する知的資産(IP)の多くの再利用と、低コストと高集積のための異種技術のシステム・インテグレーションとによって特徴づけられる。コスト的要因は、ローパワー・プロセスとローコスト・パッケージング・ソリューション、およびターンアラウンドタイムの短い設計方法論の採用を促す。後者の結果として、IP 記述、IP テスト(内蔵自己テスト(BIST)および自己修復を含む)、ブロック・インタフェース合成等の新しい規格および方法論が必要となる。集積化の側面は、チップとパッケージの同時最適化の必要性のみならず、特定のシステム・コンポーネント(メモリ、センサ等)を実現させる多種多様な技術(フラッシュ、DRAM、アナログ、RF、MEMS、強誘電体 RAM (FeRAM)、磁気抵抗 RAM (MRAM)、化学センサ等)への要求を加速させる。このように、SOC は同一システム・パッケージだけでなく、同一製造プロセス上で複数の技術の集積を促すドライバである。本章は、いくつかの形態に関して SOC の性質および発展を議論するものである。各形態をドライブするのは、複合技術集積(multi-technology integration, MT)、高性能(HP) —特に (a) 通信機器と (b) 民生用据置き機器—、およびローパワー・低コスト(LP) —特に民生用携帯機器—である。

SOC/SIP 複合技術

異種システムを単一チップ上に構築する必要性は、構造的な要因や、コネクシオンの負荷とスピードの関係、或いは信頼性等のコスト意識によってもたらされる。そのためプロセス技術者は、MEMS やその他のセンサと CMOS の融合を模索して来た。単一チップ上に複数の技術を集積することは、より複雑なプロセスを要求し、この複雑度が複合技術 SOC の主なコスト要因と成る。将来の新材料やプロセスの複合に関して、総合的なコスト予測をすることは困難である。しかしながら、コスト制約によってある SOC に集積できる技術の数は制限される。標準低消費電力ロジックプロセスにフラッシュメモリが混載されるように、プロセスのモジュール化が進んだとしても、一般的にはモジュールは“積重ね”可能ではない。他の技術と集積する必然性や大量生産の必然性が無くとも、標準 CMOS プロセスと各々の技術を集積することには、今後も発展する可能性が有るであろう。最近の(電気-光、電気-生物)技術と CMOS の集積は、単に技術的優位性だけではなく、複数チップによるシステム・イン・パッケージの代案よりもコスト効率が優位でなければならない。今日、幾つかの技術(MEMS、GaAs)では、各々の製品(Flash や DRAM)の面積やピン数の制約に依存して、同一モジュール内でフリップして重ね合わせるか、シリコン上に隣り合わせに集積することでコスト効率が向上出来ている。特にセンサの単一ダイへの集積の必要性は、システムの物理的大きさ(耳と口:例えば自動車内でのスピーカとマイクの分離)等に影響されている。

ネットワーク SOC ドライバ

ハイパフォーマンス SOC の例としては、ハイエンド・ゲーム用プロセッサ(以下の民生用据置き機器向け SOC(SOC-CS)ドライバ)やネットワーク機器が挙げられる。高速通信用 SOC は、チップ外への入出力信号に対

⁴ The corresponding ASIC and structured-custom MPU design methodologies are also converging to a common “hierarchical ASIC/SOC” methodology. This is accelerated by customer-owned tooling business models on the ASIC side, and by tool limitations faced by both methodologies.

する要求を生み出す(それはテストやアセンブリ、パッケージング、設計への重要なチャレンジを生み出す)。歴史的に見ても、チップの入出力速度(ピン当たりのバンド幅)は、チップ内部のクロック周波数に比べ、スケールアップが遅れて来た。この十年では、長距離通信用に開発された高速リンク技術が、他の応用にも適用されて来た。この高速入出力は、基板の信号安定化時間の問題を、1対1接続と配線を伝送線路として扱うことで回避して来た。今日では、これらのシリアル・リンクで 10Gbit/秒を超える動作が出来る。将来のネットワークは、贅沢なマルチメディアコンテンツを配信したり、進化した IP ベースのアプリケーションやサービス(家庭内ネットワークと境目無く移動しながら楽しむ)をサポートするスケラブルで電力制約を満たし、コスト有利な SOC を要求する。メモリや I/O のアクセス遅延とコアスピードの根本的な差異から、ネットワーク SOC のアーキテクチャはスイッチ機構や L3 キャッシュを内蔵し、必要に応じて専用エンジンを持つマルチコア構成に向かっている。ここで私たちは、ネットワーク機構を内蔵するマルチコア SOC アーキテクチャとして、ネットワーク SOC ドライバを定義する事としたい。このネットワークドライバでは“More Moore”(幾何学的スケールアップと等価スケールアップ)と“More Than Moore”(機能の多様化)の両方の豊富な統合について議論する。

シングルコアアーキテクチャでの動作周波数向上では、これ以上ネットワークで必要な性能の達成が望めないため、ネットワーク SOC では(幾何学的スケールアップによる)マルチコア化で更なる性能向上が図られる。それでも、放熱問題と組込み用途での厳しい電力制約(上限 30W)から、マルチコア化だけで必要な性能向上を達成できるわけではない。従って、専用エンジンやチップ内のスイッチ機構、キャッシュメモリの階層化を実装する事によって、漸進的な性能向上を実現するのが通常である(これらは幾何学的スケールアップと等価スケールアップに当たる)。SOC プラットフォームの観点からは、シリコンでの達成可能な性能-電力限界を拡張する挑戦は、メモリと内部バスバンド幅の競合や、スケラビリティの問題、プログラムの見通しの悪さから生じる非実行サイクルの問題を包含する。ハードウェア自体の能力を引出すには、更なる投資として、ソフトウェアを用意し且つそれをシミュレーションする環境を準備する必要がある(これが機能の多様化)。これが Figure SYSD1 に示したネットワーク SOC ドライバのアーキテクチャの動機で、それはマルチコアと専用エンジン(MC/AE)から成り、ネットワーク機構を必要とする。

この MC/AE アーキテクチャは、単に高性能化や電力高効率化をもたらすだけでなく、エコシステムを可能にする相補的なソフトウェアへの明確な投資を通して、製造業のマルチコアプロセッサ化への遷移を容易にする。我々は(a)幾何学的スケールアップはスケラブルなチップ内スイッチ機構やスケラブルなマルチコア、3階層のキャッシュ機構、高速結合に内在している事、(b)等価スケールアップは要求に応じた専用エンジンの実装に由来する事、(c)機能の多様化は混合シミュレーション環境やエコシステムの可能化に由来する事、を見てきた。白書では各々実現可能な MC/AE ネットワーク SOC プラットフォームアーキテクチャについて詳述している。

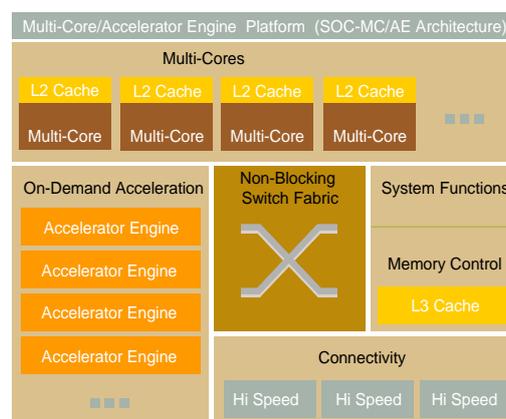


Figure SYSD1 SOC Networking Driver Architecture Template

Figure SYSD2 はネットワーク SOC ドライバの期待される性能向上とコアの数を示しており、合計 30W の電力で中規模のスイッチング/ルーティングを行う組込みネットワーク機構を想定している。モデルは以下の仮定を含んでいる。

- ・ サイズは一定。

- ・ コアの数 は年率 1.4 倍で増加する。
- ・ コアの動作周波数は年率 1.05 倍で上昇する。
- ・ 専用エンジンの動作周波数は年率 1.05 倍で上昇する。
- ・ ロジックやメモリ(階層キャッシュ)、チップ内スイッチ機構、システム間結合の構造はコア数を増加させても矛盾無くスケールアップする。

図はシステム性能が 1000 倍に向上する所を示しており、コアの数と動作周波数、専用エンジンの周波数の掛算になっている。このシナリオによると、2007 年の 65nm で 4 コア実装を行ったシステムの性能を基準として、将来の 32nm でのシステム性能は(30 コアで)54 倍になる。

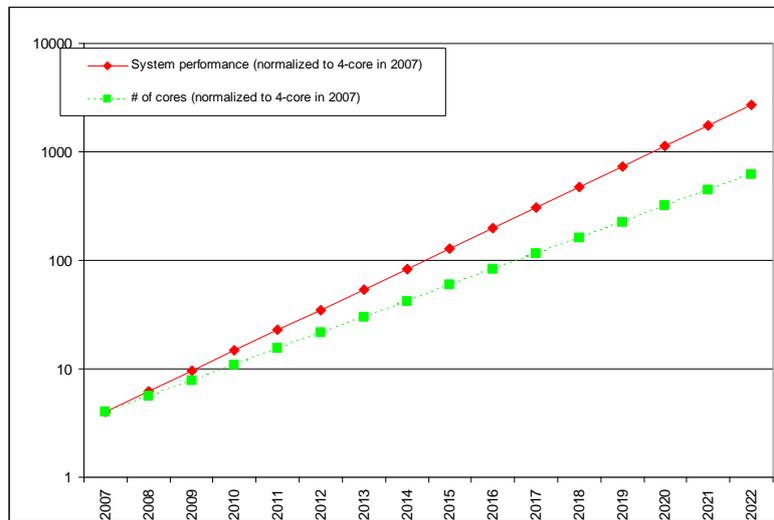


Figure SYSD2 SOC Networking Driver MC/AE Platform Performance

民生用 SOC ドライバ

民生用 SOC ドライバは、民生用電子機器の広い多様性を反映した典型的な SOC の分野を包含する。民生製品における短い製品寿命や機能と性能への急速な成長要求から、民生用 SOC ドライバの要件は高い性能と機能、短時間での商品化が鍵となる。民生用 SOC ドライバは二種類に分類され、携帯電話を典型例とする民生用携帯機器と高性能ゲーム機を典型例とする民生用据置き機器がある。二つのカテゴリは主に消費電力の要求で区別され、民生用携帯機器ドライバは機器のバッテリーを持たせるために消費電力を最小化する必要があり、一方民生用据置き機器ドライバは高性能であることが重要な特徴である。

民生用 SOC ドライバの設計生産性の動向

Table SYSD2 は民生用携帯機器向け SOC、民生用据置き機器向け SOC 両ドライバの設計生産性の動向を示している。基になるモデルは以下の仮定を行っている。必要な設計労力は一定であることを仮定する。設計労力はロジック回路の規模に比例すると仮定する。ロジック回路の再利用設計労力は同規模の新規ロジック設計に必要な労力の半分と仮定する、これは再利用に労力が掛からない訳ではなく、機能修正や実装、最終的な物理検証の労力が必要であるからである。メモリや純粋なアナログ回路のような非ロジック回路に関しては、再利用設計労力は掛からない。再利用の比率は、2005 年を 30%、2020 年を 90%として線形に補間して決めている。これらの仮定の下に SOC 設計労力を一定に保てば、2018 年までの 10 年間で新規ロジック設計の生産性を 10 倍に改善する必要がある事になる。この生産性への挑戦には、幾つかの手法を混合する必要がある。第一に設計の抽象度を高める必要がある。第二に、設計の検証と実装の自動化の度合いを増加させる必要がある。最後は、設計再利用に掛かるオーバーヘッドの労力を削減しつつ、再利用の比率を高める必要がある。

Table SYSD2 SOC Consumer Driver Design Productivity Trends

	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022
Trend: SOC total logic size (normalized to 2007)	1.00	1.29	1.62	2.12	2.64	3.24	4.07	5.29	6.62	8.52	10.33	12.76	16.17	21.14	24.60	34.40
Requirement: % of reused design	38%	42%	46%	50%	54%	58%	62%	66%	70%	74%	78%	82%	86%	90%	92%	94%
Requirement: Productivity for new designs (normalized to 2007)	1.00	1.25	1.54	1.96	2.38	2.84	3.47	4.37	5.31	6.63	7.78	9.30	11.38	14.36	16.40	22.51
Requirement: Productivity for reused designs (normalized to productivity for new designs at 2007)	2.00	2.51	3.08	3.92	4.76	5.68	6.94	8.74	10.62	13.26	15.56	18.59	22.75	28.71	32.79	45.02

民生用携帯機器向け SOC (SOC-CP) ドライバ

(前回の ITRS で、「電力効率」のための SOC-PE として知られている) SOC 民生用携帯機器ドライバはますます SOC の進展を象徴している。それは高性能コンピュータや企業向けアプリケーションのような他の処理目的のチップだけでなく、スマートメディアフォンあるいはデジタルカメラチップのようなポータブルやワイヤレスのアプリケーションにまで及ぶ。Figure SYSD3 は、Japan Semiconductor Technology Roadmap Design Working Group によって作成されたモデルに一部基づいた、一般消費者に扱われるおそらくマルチメディアを処理する能力を持ったワイヤレスデバイスの電力効率の必須な特質を表している。モデルの重要な要点は次の通りである。

- 典型的なアプリケーションエリアは“ポータブル/モバイル民生機器プラットフォーム”に分類される電子機器である。このアプリケーションエリアが近い将来において半導体のどの技術世代でも、急速に発展するであろう。
- この種の SOC “ポータブル/モバイル民生機器プラットフォーム”の典型的な要求項目はバッテリー寿命を維持する電力制約を上限とするにもかかわらず、処理能力の急速な増加を余儀なくされることにある。ダイナミックな電力消費量は際立って変化しないにもかかわらず、処理能力は今後 10 年間で 1000 倍に増加する。
- “ポータブル/モバイル民生機器プラットフォーム”製品の寿命は短く、今後においても短いままだろう。したがって、設計効率の向上は難しく、近い将来に関しては現在のレベルに留めなくてはならない。

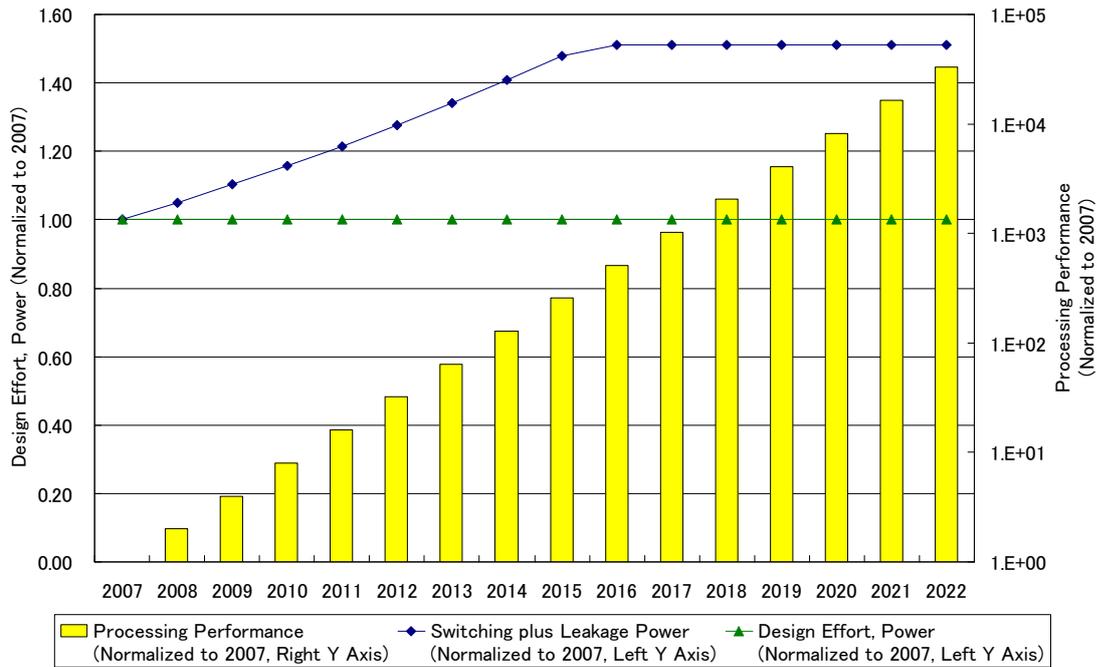


Figure SYSD3 Several Trends for SOC Consumer Portable Driver

Figure SYSD4 に SOC 民生用携帯機器ドライバのためのアーキテクチャテンプレートを示す。SOC はメインプロセッサ、複数の PE (処理エンジン)、周辺機能、メモリで構成される高度に並列化されたアーキテクチャを持つ。ここでいう、PE は特定の機能のためにカスタマイズされたプロセッサである。大規模で、非常に複雑な構造を持つ機能は、PE のセットとして実装されるであろう。このアーキテクチャテンプレートは並列処理と特定機能をもったハードウェアの実現によって、高い処理パフォーマンスと低消費電力の両立を可能にする。提示されたアーキテクチャは、特別なプロセッサ配列構造や対称プロセッサを必要としない。その本質的な特徴は必要とされる機能を実装するために SOC 内に多数の PE を埋め込んだことである。

このアーキテクチャテンプレートに基づいて、SOC 民生用携帯機器ドライバの定量化された設計の複雑さの動向を Figure SYSD5 に示す。基礎となるモデルの仮定は次の通りである。1) およそ一定の複雑さを持った1つのメインプロセッサがあるであろう。2) 周辺機能は同じく一定の複雑さを持続するだろう。3) PEに関しては、回路の複雑さの平均は一定で保たれるが、ダイサイズが 64mm² 近辺なら、PE の数は増え続けるだろう。それ故、PE の数は今後急速に増大する。4) メインメモリの数は、PE の数に比例して増加する。

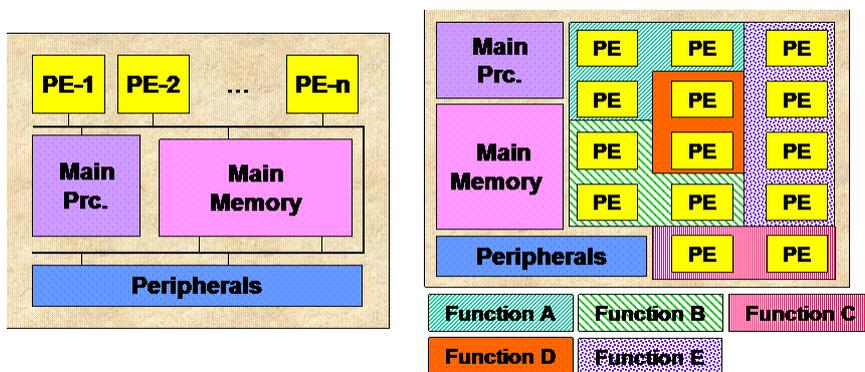


Figure SYSD4 SOC Consumer Portable Driver Architecture Template

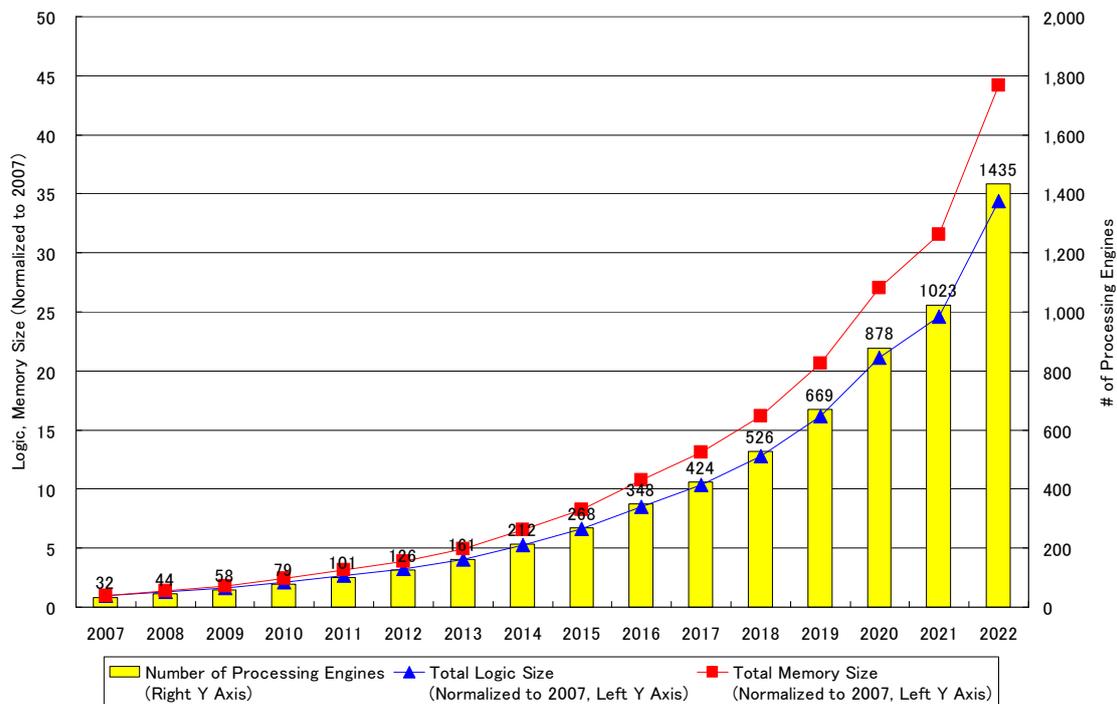


Figure SYSD5 SOC Consumer Portable Design Complexity Trends

民生用携帯機器向け SOC の消費電力の動向

設計の複雑さが重要な動向である一方で、消費電力もまた、民生用携帯機器向け SOC チップの設計に対して重大な要素と言える。Figure SYSD6 は、PID 章のトランジスタ性能パラメータと、interconnect 章の“Interconnect Technology Requirements “のインターコネクト性能パラメータと、Table SYSD2 にある回路の複雑性パラメータを使用し、総合的なチップ消費電力の動向を表している。我々は次のことに気付く。

- ここで適用されるモデルは、単純に現在の最高水準の技術から推定しており、したがって、消費電力は要求水準をかなり上回る。
- 可能性のある解決策は、Design 章の中で議論される。SOC 民生用携帯機器の具体的な解決は、設計の高位段階における消費電力解析に基づく、アーキテクチャ最適化や、カスタマイズされた PE の実現を含んでいる。
- 供給電圧が、将来不連続に推移するため、論理回路のスitchング(すなわち、ダイナミック)電力は、2012年から2013年、2016年から2017年、2020年から2021年に単調でない動きをする。

民生用携帯機器向け SOC の処理性能の動向

民生用携帯機器向け SOC ドライバの処理能力は、SOC 上の PE の数とデバイスの性能の積に比例すると推測される。Figure SYSD7 は、処理能力に対する要求と実現可能な処理能力との線形の傾向を超えて拡大するギャップが残ったままであることを示す。このギャップは、電力と設計に制約を受ける PE の数を増やすことによって、潜在的に解決される。

可能性のある解決策は、Design 章の中で議論される。高位設計段階での最適なハードウェアとソフトウェア分割が含まれており、ハイレベルデザインからインプリメンテーションのステージへの自動化されたインタフェース技術(例えば、高位合成)も同様に含まれている。

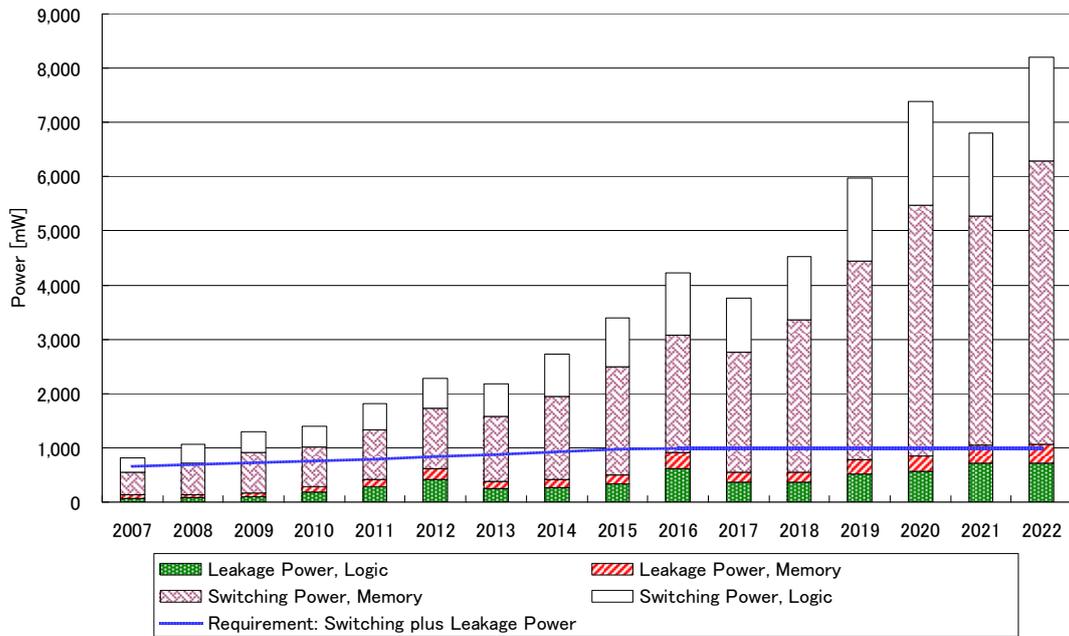


Figure SYSD6 SOC Consumer Portable Power Consumption Trends

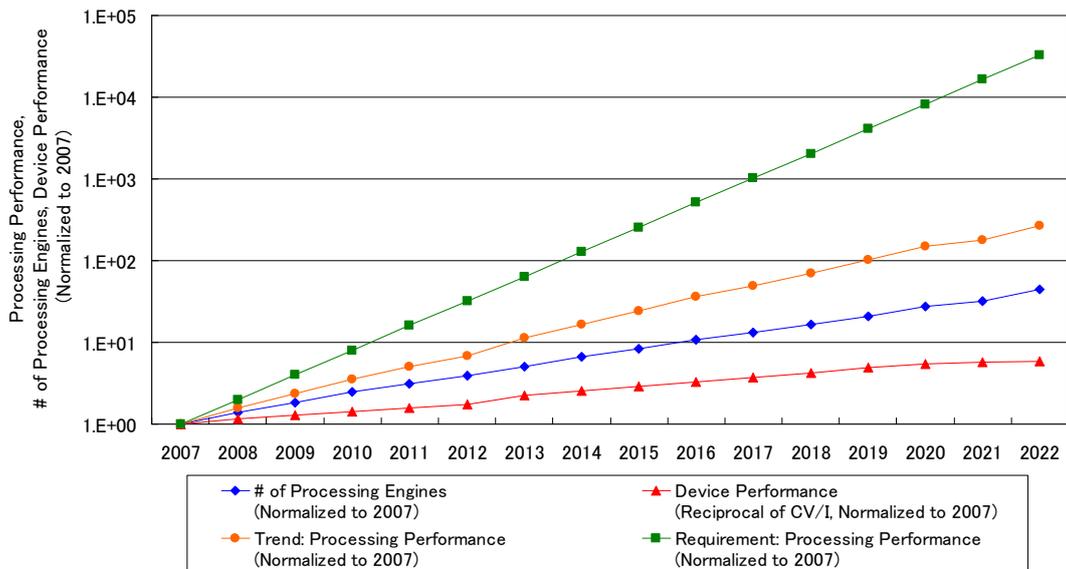


Figure SYSD7 SOC Consumer Portable Processing Performance Trends

民生用据置き機器向け SOC (SOC-CS) ドライバ

民生用据置き機器向け SOC (SOC-CS) ドライバの節では、ハイエンド・ゲームなど、通常は携帯用途ではなく、AC 電源線に接続されて使われるような幅広い民生用デジタル機器に使用されるような SOC の設計について説明する。この SOC モデルの主たる特徴は以下である。

- 処理能力が最も重要な差別化要因である。Figure SYSD9 に示すように、2022 年に必要とされる処理能力は 120TFlops を超える。
- 機能は主としてソフトウェアにより実現され実行される。したがって、高い処理能力が要求され、SOC は多数のデータ処理エンジン (DPE: Data Processing Engine) から成るようになる。
- 民生用携帯機器向け SOC ドライバと比較して、このドライバの電力対性能比は良くないが、機能を追加したり、機能を改善したりといった柔軟性に優れている。
- 機能を追加したり、機能を改善したりといったことが容易なため、民生用据置き機器向け SOC の種類の

設計物のライフサイクルは比較的長く、またその結果、応用分野が広い。

Figure SYSD8 には、民生用据置き機器向け SOC ドライバの典型的なアーキテクチャの雛形を示す。この SOC は、多くのメインプロセッサ、多くのデータ処理エンジン (DPE)、メモリやチップ-チップのインタフェースのための I/O から成る高度な並列アーキテクチャを特徴とする。ここで、データ処理エンジン DPE は、データ処理に特化したプロセッサであり、汎用的な目的のための機能を取り除くことによって高い処理能力を達成している。メインプロセッサは、汎用プロセッサであり、データ処理エンジン DPE に対して作業の割り振りをしたり処理をスケジューリングしたりする。1つのメインプロセッサといくつかのデータ処理エンジン DPE とが一緒になって、基本的なアーキテクチャを構成する。データ処理エンジン DPE の個数は、必要とされる処理能力とチップサイズから決まる。目標とする要求性能を達成するために、この章においてモデルとして記載される全ての SOC の中で、SOC-PE ドライバが最も多くのデータ処理エンジン DPE を有する可能性がある。

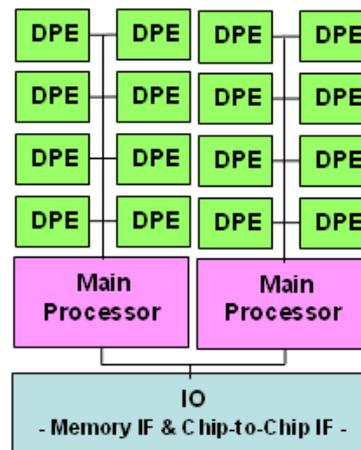


Figure SYSD8 SOC Consumer Stationary Driver Architecture Template

民生用据置き機器向け SOC の設計複雑さの動向

SOC-CS のアーキテクチャの雛形に基づいて、定量的に設計複雑度の動向を示したものが Figure SYSD9 である。最も興味深い動向が、データ処理エンジン DPE の数の急激な増加である。モデルにおける基本的な仮定は以下のようなものである。

- SOC のチップサイズは、最近のゲーム向けプロセッサの製品として発表されている数値から、 220mm^2 で一定である。
- メインプロセッサとデータ処理エンジンの両方について、回路の複雑度は一定である。このことにより、各々のレイアウト面積は、M1 ピッチの平方に比例して縮小する。
- メインプロセッサは、最大で 8 つまでのデータ処理エンジン DPE を制御できると仮定する。

民生用据置き機器向け SOC の処理性能の動向

民生用据置き機器向け SOC ドライバの処理性能は、デバイスの性能と SOC 上の DPE の数の積に比例すると想定することができる。民生用据置き機器向け SOC の処理能力の動向を Figure SYSSD10 に示す。要求される処理能力は、今後 15 年で 300 倍以上の急激な増加をする。このような性能要求を達成する主要な解決策には、種々の設計技術 (特に、論理設計、回路設計、物理設計の段階の設計技術) を使って回路の性能を最大化することが含まれる。

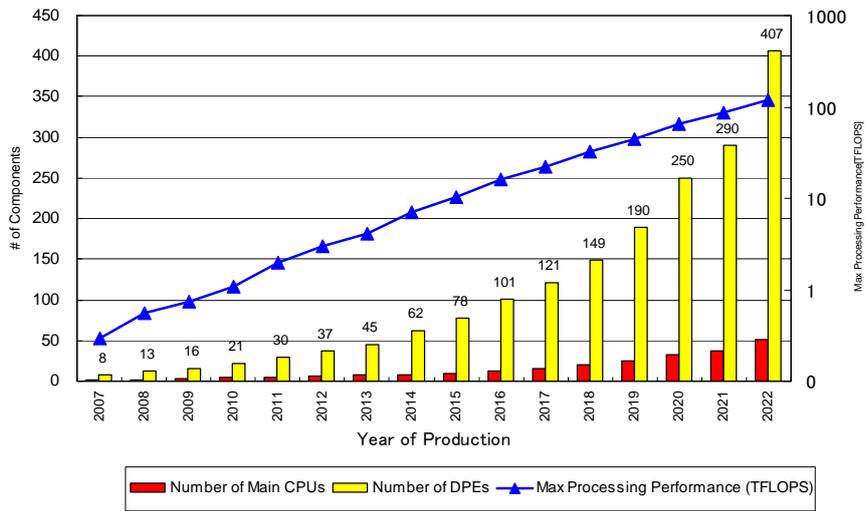


Figure SYSD9 SOC Consumer Stationary Design Complexity Trends

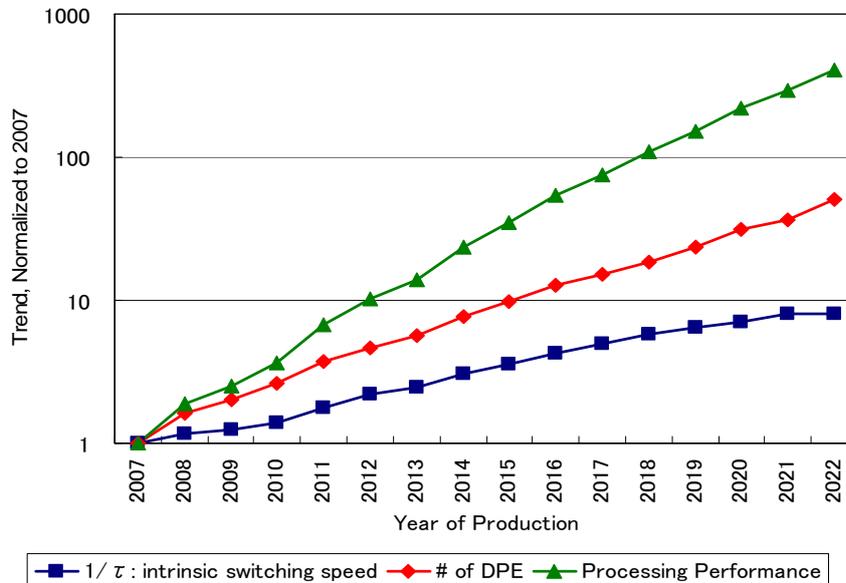


Figure SYSD10 SOC Consumer Stationary Performance Trends

民生用据置き機器向け SOC の消費電力の動向

消費電力の爆発が、将来の民生用据置き機器向け SOC の LSI チップの設計において、最も深刻に考慮されるべきものとなるであろう。Figure SYSD11 は、チップの消費電力をロジック部分とメモリ部分について、スイッチング電力とリーク電力に分けて、動向を示したものである。解析は、PIDS 章のトランジスタ性能のパラメータや Interconnect 章の配線性能のパラメータと、上に示した設計複雑度の動向を元に行った。2007 年における消費電力は、最近のゲームプロセッサ製品について公表済のデータから取得したものである。注として下記のものあげておく。

- 民生用据置き機器向け SOC においては、民生用携帯機器向け SOC とは違い、一般に電池寿命の問題からは開放される。しかしながら、急激な消費電力の増加は、チップのパッケージや冷却において深刻な問題となる。
- リーク電力は、プロセスばらつきや温度の効果により Figure SYSD11 に示す計算結果よりも大きくなる。
- データ処理エンジン DPE 1 個当たりの消費電力は、電源電圧の低下や層間膜の低誘電率化により減

少する。しかしながら、チップあたりのデータ処理エンジン DPE の数が増加することにより、チップ電力にとっては重大な影響を及ぼす。

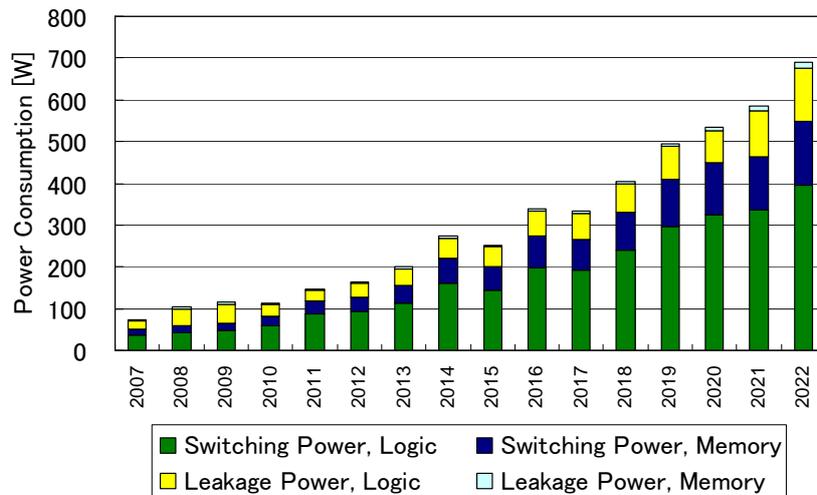


Figure SYS11 SOC Consumer Stationary Power Consumption Trends

マイクロプロセサ (MPU) ドライバ

ハイボリューム向けのカスタム設計では、パフォーマンスと製造原価の問題が、設計や他の開発コスト (NRE) の問題より重要である。なぜなら、これらのチップは売上個数により大きな利益を生む可能性を持っているからである。カスタム設計スタイルや、特別なプロセスエンジニアリング、設備などを正当化するためには、大量というだけでは、必要条件でもなく、十分条件でもない。NRE や製造装置への投資を合わせて、期待される収益がプラスになることが重要である。ハイボリューム向けの分野における、3 つの大きなクラスは、今では、MPU、メモリ⁵、そしてリプログラマブル(例えば FPGA)である。MPU 製品クラスは、最も積極的な設計スタイルおよび製造技術を使用するため、半導体製品にとって重要なシステムドライバである。これらの大量製品のおかげで、製造フローの変更、新しい設計スタイルおよび支援ツールの作成(大きな収入は新しいツール生成の代価を払うことができる)、(設計者によって取られたすべてのリスクが出てくるとは限らないが)微妙な回路問題まで洗い出される。実際、MPU は、集積度および設計の複雑さ、電力-速度性能曲線、大規模チームの設計工程の効率、テストおよび検証、電力制御、パッケージシステム・コストに関して半導体産業をドライブしている。MPU(一般的にはハイボリューム・カスタム設計品)の生産は、非常に労働者に集約されているにもかかわらず、全産業によってこ入れされる新技術およびオートメーション方法(設計および組立ての両方)を作り出す。

ITRS の MPU ドライバは、汎用の命令セットアーキテクチャ(ISA)に基づいて設計され、デスクトップとサーバシステムにおけるスタンドアロンでの使用、または、SOC アプリケーションでのコアとして組み込まれたりする。MPU システムドライバは、常に市場のけん引役で、歴史的に以下の特徴がある。1)標準アーキテクチャ・プラットフォームが出現したのち、それが複数世代にわたって供給され続ける、2)市場からの影響による激しい価格変動、3)非常に高い生産量および製造原価意識。MPU ドライバ・モデルの重要な要素は、以下のとおりである。(本章の調査内容は GTX ツールで検証できる。MPU に関する内容は、電子版でリンクされた研究で提供される。)

⁵ Memory is a special class of high-volume custom design because of the very high replication rate of the basic memory cells and supporting circuits. Since these cells are repeated millions of times on a chip, and millions of chips are sold, the amount of custom design for these parts is extraordinary. This aspect has led to separate fabrication lines for DRAM devices, with some of the most careful circuit engineering needed to ensure correct operation.

1. 3つのタイプのMPU — これまでの歴史をみると、3つのタイプのMPUがあった。1) 「デスクトップ」を反映したコストパフォーマンス(CP)タイプ、2) 「サーバ」向け高性能(HP)タイプ、3) 電力・ネット接続・コスト(PCC: power-connectivity-cost)タイプである。2001年 ITRS で予測したように、(ワイヤレス接続を備えた)電池駆動の携帯機器の市場増加は、MPUの新しいPCCカテゴリを生んだ。同時に、伝統的に「デスクトップ」向けであったCPの分野は、低額で廉価な従来型「サーバ」から、「モバイルのデスクトップ」(主としてACモードで使用されるラップトップ)および「ブレード」サーバまで、価格性能トレードオフ・カーブの広範囲に拡大しつつある。結果として、CPとHPのカテゴリ間でのパフォーマンスのギャップは小さくなっている。しかしながら、大規模なマージンのため生産量に不釣り合いな設計努力を施した本当に高額なサーバの市場は残るであろう。以前に予測されたように、新しいPCCカテゴリは、電池寿命の増加およびワイヤレス接続による便利性に後押しされ、高機能と低消費電力SOC設計の特性を持ち始める。しかしながら、PCC設計のより大きなマージンと生産量は、従来のSOCと比較して、はるかに大きな設計努力を正当化するであろう。

2. ダイサイズ一定 — ダイサイズ (CPでは 140mm^2 、HPでは 310mm^2 、PCCでは $70\text{--}100\text{mm}^2$) はロードマップ上一定であり、ロジック、メモリおよび集積のオーバーヘッドにブレイクダウンされる。集積のオーバーヘッドとは、ブロック間チャンネル、無駄な領域を持つフロアプラン、および設計所要時間に伸ばせるレイアウト密度とのトレードオフによる。以前のITRSモデルと異なり、電力とコスト・配線遅延がダイサイズの強い制約になる。追加ロジックは、パッケージ・パワーの制限から効果的に利用できないかもしれないし、また、追加メモリ(たとえばより大きなキャッシュ、より高次なメモリ・ハイアラキ・レベルのオンチップ・メモリ)も、ある点から先はコスト効率が良くないことが考えられる⁶。さらに、(プロセス・スケーリングにより)配線のパイプライン段数が増加するとともに、正確なアーキテクチャの性能シミュレーションが困難になり、これもダイサイズの増加を制限するであろう。

3. マルチコア構成 — MPUのロジック規模は、主にHPおよびハイエンドCPカテゴリで、130nm世代でスタートしたマルチプロセッシングユニットのオンチップ化を反映する。これは、以下のいくつかの事実を含んでいる。: 1)最近および今後計画されている商用MPU製品の構成(サーバおよびデスクトップの両方); 2)標準の命令セットアーキテクチャと同様に検証と論理設計を再使用する必要性の増加; 3)世代ごとに逐次「増大」していく命令セットアーキテクチャ(例えば、暗号化、グラフィックス、マルチメディア等を継ぎ足した、x86、multi-media instructions (MMX)および explicitly parallel instruction computing (EPIC)); 4)電力の観点ではそれほど効率的ではない汎用のプロセッサ・コアに、効率的な専用「補助エンジン」⁷をSOCのように集積することによって、アーキテクチャ、operating system (OS)およびアプリケーション・レベルでの電力の柔軟な管理を可能にする必要性; 5) プロセッサ・コアのトランジスタ複雑度の増加 (プロセッサ・コア毎のロジックトランジスタ数は、テクノロジー世代毎に1.4倍増加⁸); 6) 設計生産性の必要からSOCとMPUの設計手法の融合。より複雑になる単一のコア設計がさらに数年間継続する一方、それらは、特にHPおよびハイエンドCPカテゴリで、等価なマルチコア設計と競争するようになる。2007年に4コアで始まるマルチコア設計のコア数は、テクノロジー世代毎に1.4倍の割合で増える。ITRSのMPUモデルでは、コア毎のトランジスタ数増加と合わせて、トランジスタ総数はテクノロジー世代毎に2倍とする。

4. 内蔵メモリ規模 — MPUに搭載されるメモリ規模は、SRAMで2007年に、CP用で4Mバイト(4 x 1,048,576 x 9ビット)、HP用で16Mバイトでスタートする。メモリ規模は、ロジック規模と同じく、絶対時間間隔

⁶ Multi-core organization and associated power efficiencies may permit slight growth in die size, but the message is still that die areas are flattening out.

⁷ A “helper engine” is a form of “processing core” for graphics, encryption, signal processing, etc. The trend is toward architectures that contain more special-purpose, and less general-purpose, logic.

⁸ Initially, the CP core has 40 million transistors, and the HP core has 50 million transistors, in 2007. The difference allows for more aggressive microarchitectural enhancements (trace caching, various prediction mechanisms, etc.) and introduction of auxiliary engines (encryption, graphics/media, etc.).

(例えば 18 か月ごと) で増加するわけではないが、テクノロジー世代ごとに 2 倍になるとした^{9 10}。

5. レイアウト密度 — そのシステムの複雑さと生産ボリュームの高さから、MPU はレイアウト密度を改善するドライバである¹¹。したがって、MPU ドライバによってレイアウト密度が設定され、よって総括ロードマップ技術指標(Overall Roadmap Technology Characteristics)で規定されているトランジスタ数とチップサイズを設定する。ロジックと SRAM のレイアウト密度は、DRAM の「A ファクタ」と類似して、最近の MPU 製品で数値合わせをしている。F がテクノロジー世代の最小の特徴サイズである場合、ロジック・レイアウト密度は、ほぼ $320F^2$ のスタンダード・セルでの平均ゲート・レイアウトを反映している¹²。レイアウト密度は、接続される M1 ピッチのため、0.7 のスケール係数に従って、テクノロジー世代毎に 2 倍とする。SRAM レイアウト密度は、周辺回路のために 60% 面積オーバーヘッドを持ち、MPU 内では(F^2 を単位としたビットセルあたりの面積の式を通じて)6 トランジスタ・ビットセルの使用を反映している。

6. 最大オンチップ(グローバル)クロック周波数 — MPU は、総括ロードマップ技術指標(Roadmap Technology Characteristics)の中で最大オンチップ・クロック周波数もドライブしている。これは、翻って、Interconnect、Process Integration, Devices, and Structures (PIDS)、Front End Processes (FEP)、および Test のロードマップの様々な局面をドライブする。2000 年の ITRS では、MPU 最大オンチップ・クロック周波数は、世代毎に 2 倍の増加するようにモデル化した。このうち、ほぼ 1.4 倍は、デバイススケール則(CV/I メトリックで 17%/年の向上)による。残りの 1.4 倍は (例えば 180nm における 32 のファンアウト 4 のインバーター(FO4 INV)の遅延¹³に相当し、130nm では 24~26 の FO4 INV 遅延となる) パイプラインのロジック段数の削減からきている。2001 年の ITRS で指摘したように、この歴史的なトレンドが継続しないいくつかの理由がある。1) 良質のクロックパルスは 6~8 より少ない FO4 INV 遅延では生成することができない。2) パイプラインの中でオーバーヘッド(効果の低減)が増加する(1 フリップ・フロップあたり 2~3 段の FO4 INV 遅延、パルスモードラッチあたり 1~1.5 段の FO4 INV 遅延)。3) 手頃なパッケージングによって課された熱特性が非常に深いパイプラインを抑止する。4) アーキテクチャと回路の革新は、周波数改善に直接寄与するものよりも、(デバイスに相関する)配線 RC の悪化への影響をさらに繰り延べる。最新の ITRS では、最大オンチップ・グローバルクロック周波数が、(歴史上の MPU クロック周期データのプロットが提供されている) 90nm で、クロック周期は 12 の FO4 INV 遅延でフラットになっており、斬新な回路およびアーキテクチャのアプローチがない状態では、デバイス性能のみでクロック周波数が増加する。2007 年には、許容できる最大消費電力からの制約を追加した。最近の MPU プラットフォームは、パッケージ・コストや信頼性、冷却コストの問題ため、最大消費電力が約 120W で一定となってきた。一定の電力要求のもとで、更新された MPU のクロック周波数モデルは、2007 年の 4.7GHz をスタートとして、積極的な低消費電力設計の開発と適用にもかかわらず、テクノロジー世代毎に多くても 1.25 倍の割合で

⁹ The doubling of logic and memory content with each technology generation, rather than with each 18- or 24-month time interval, is due to essentially constant layout densities for logic and SRAM, as well as conformance with other parts of the ITRS. While the ITRS remains planar CMOS-centric, evolution to UTB FD SOI and then double-gate FETs are now projected to begin ca. the 32nm node. Adoption of such novel device architectures would allow improvements of layout densities beyond what is afforded by scaling alone.

¹⁰ Adoption of eDRAM, and integration of on-chip L3 cache, can respectively increase the on-chip memory density and memory transistor count by factors of approximately 3 from the given values. While this will significantly boost transistor counts, it does not significantly affect the chip size or total chip power roadmap.

¹¹ ASIC/SOC and MPU system driver products have access to similar processes, as forecast since the 1999 ITRS. This reflects emergence of pure-play foundry models, and means that fabric layout densities (SRAM, logic) are the same for SOC and MPU. However, MPUs drive high density and high performance, while SOCs drive high integration, low cost, and low power.

¹² A 2-input NAND gate is assumed to lay out in an 8×4 standard cell, where the dimensions are in units of contacted local metal pitch ($MP = 3.16 \times F$). In other words, the average gate occupies $32 \times (3.16)^2 = 320F^2$. For both semi-custom (ASIC/SOC) and full-custom (MPU) design methodologies, an overhead of 100% is assumed.

¹³ A FO4 INV delay is defined to be the delay of an inverter driving a load equal to $4 \times$ its own input capacitance (with no local interconnect). This is equivalent to roughly $14 \times$ the CV/I device delay metric that is used in the PIDS chapter to track device performance. An explanation of the FO4 INV delay model used in the 2007 ITRS is provided as a link.

増加することになった¹⁴。

MPU の進化

最近の「セントラライズド・プロセッシング」の状況は、1)従来の MPU 群(ここで想定しているドライバ)からなるハイ・パフォーマンスな演算機能を持つ中央処理装置(サーバ)、および 2)例えばワイヤレス携帯端末マルチメディア・プラットフォーム(Figure SYSD4 の SOC Consumer Portable モデル参照)を構成する、RF、アナログミックスド・シグナルおよびデジタル回路を集積した SOC からなる、パワー効率を狙った演算処理を行う「インターフェイスリメリアル・プロセサ」【訳者注:データ量の多い演算処理を、ネットワークを介したサーバなどで処理させることを意図した、インターフェイス救済型プロセサと解釈した】を統合したものである。従来型 MPU の将来に向けた進化に対するキーとなる課題は、設計生産力、パワーマネージメント、マルチコア化、I/O 帯域幅、回路およびプロセス技術に関するものである。

設計生産力 — MPU 製品の設計および検証の複雑さやコストは、1 つの設計あたりのエンジニアが年間数千単位(設計チームで数何百チーム)で急速に増加しているにもかかわらず、いまだに数百のバグを抱えたプロセサが市場に投入されている。この局面は、ロジック合成および自動的な回路チューニングのような設計オートメーションの使用を増加させ、激しいカスタム化および装飾的な回路ファミリーの使用を減少させた。その結果生じる生産力の増加は、プロセサ開発スケジュールおよびチーム規模を一定にすることを可能にした。タイミング、雑音、電力および電氣的ルールをチェックする設計ツールの改良は、安定した設計の高品質化にも寄与した。

パワーマネージメント — パッケージの消費電力上限は(2007 ITRS タイムフレームの最後までに 200W/cm² に達すると推測されるにもかかわらず)、高い供給電圧(世代あたりの理想値 0.7x に対して経験値換算 0.85x)および周波数(世代あたりの理想値 1.25x に対し経験値換算 2x)¹⁵ を継続維持し続けることはできない。PIDS 章で述べられているように、MPU システムドライバにおける過去のクロック周波数トレンドは、大きなオフ電流および非常に薄いゲート酸化物に導かれる将来の CMOS デバイス性能(スイッチング速度)を必要条件として説明されてきた。そのようなデバイスが与えられた場合、単に既存の回路やアーキテクチャ技術を継続する MPU は、2020 年の最後までには、パッケージ電力上限を約 4 倍超過するであろう。もしくは、MPU ロジック搭載量および(または)ロジック動作率は、パッケージ制約を守るために減少する必要がある。

携帯および組込み仕様のものは、厳密にパワー制限が行われており、このような障害(課題)に早い段階で遭遇するであろう。最近のパワー効率(たとえば、GOPS/mW)は、汎用 MPU に対して専用ハードウェア(組込み型ハードウェア)の方が 4 桁向上しており、この傾向がより大きくなっている。結果として、従来型の演算コアは、次世代の SOC ライクな MPU 領域において、特定用途向け、または、リコンフィギュラブルなプロセサ・エンジンとの競争に直面することになるであろう。

¹⁴ The new “constant” power MPU model depends on evolution of a “Design Factor”, such that dynamic and leakage power respectively compensate the 1.25× increase of clock frequency with each technology generation. The Design Factor for dynamic power corresponds to a 15% reduction in switching activity factor per unit area with each technology generation; this will be achieved by improved design and partitioning of architectures/functions, and by extreme use of existing low-power techniques such as pin swapping, gate sizing, hierarchical clock gating, etc. The Design Factor for leakage power corresponds to a 30% reduction of leakage power per unit area with each technology generation; this will be achieved by aggressive use of such techniques as MTCMOS, body biasing, multi-V_{th}, multi-V_{dd}, etc. Dynamic voltage and frequency scaling can contribute to the Design Factor of both dynamic power and leakage power. We believe that these Design Factors are actually conservative, in that the ‘slack’ between maximum achievable clock frequencies and projected clock frequencies allows superlinear reductions in chip power due to added flexibility of logic and physical design optimizations. Faster progress by the industry in achieving Design Factor-based power reduction can enable lower power budgets and/or higher clock frequencies in future.

¹⁵ To maintain reasonable packaging cost, package pin counts and bump pitches for flip-chip are required to advance at a slower rate than integration densities (refer to the Assembly and Packaging chapter). This increases pressure on design technology to manage larger wakeup and operational currents and larger supply voltage IR drops; power management problems are also passed to the architecture, OS, and application levels of the system design.

マルチコア構成 — 1つダイの中にマルチコアを持つMPUにおいて、コアは1)グローバル配線スケーリング則に逆らって、小さく速く、2)多数のアプリケーションおよび構成に横断的に再利用されるため最適化することができる。マルチコア・アーキテクチャは、工場の歩留りを達成するため冗長性を利用するのと同じように、消費電力削減を可能にする¹⁶。またMPUモデルは、チップ上にメモリ階層の規模を増やすことを可能とする。(メモリ混載プロセッサ、または、大規模オンチップ eDRAM L3 キャッシュ)。より大きなメモリ容量がある方がリークやトータルの消費電力をうまく制御することが可能になる。

発展的なマイクロアーキテクチャの進化(スーパーパイプライン、スーパースカラー、および予測技術)は、推進する原動力が衰えてきているように見える。「ボラックの法則」では、ある一定のプロセス技術において、新しいマイクロアーキテクチャは古い(前の世代の)マイクロアーキテクチャを使用した場合に比べ面積が2~3倍になり、その一方で性能は1.4倍~1.6倍しか改善されないとしている。)そのようなことから、最近は並列処理によるマルチスレッド化の傾向が大きくなっている。同様にネットワークやグラフィックス、セキュリティ等も、より複雑な専用ハード、および(または)専用エンジンが充てられる傾向にある。柔軟性のある効率のトレードオフ・ポイントは、汎用プロセッサから遠ざかる。

I/O 帯域幅 — MPUシステムにおけるI/Oピンは、主として、高機能キャッシュメモリやメインシステムメモリに使われている。プロセッサのパフォーマンスが増加するに従い、I/O帯域幅の要求は強くなってきている。最も高い帯域幅のポートは、伝統的にL2、L3キャッシュに使われてきたが、最近の設計は、メモリの「待ち時間(レーテンシ)」を減らすために、プロセッサにメモリコントローラを内蔵し始めている。これらのダイレクトメモリインタフェースはキャッシュインタフェース以上にI/O帯域幅を要求する。メモリインタフェースに加えて、多くの設計がシステムバスを高速なポイント・ツー・ポイント・インタフェースに置き換えている。これらのインタフェースは、Gbit/sのレートを実行するのに高速なI/O設計を必要としている。シリアル・リンクは、このレートに到達しており、その一方で、単独チップ上のI/Oの大規模集積化は、いまだ設計(各々の回路が超低消費電力を必要とする)、テスト(この速さを実行できるテストを必要とする)、および、パッケージ(パッケージがチップとボードの接続を含め、バランスのとれた伝送ラインの配線を必要とする)に関してチャレンジ途上にある。

回路技術とプロセス技術 — 薄く信頼できないゲート酸化物・積極的なレチクル改良が必要なサブ波長の光学リソグラフィ・原子規模のプロセス変動(例えば注入プロセス)における増加する脆弱性を含む特徴サイズやデバイス構造のロードマップ、すなわちLithography章とPIDS章、に暗黙的に記載されるプロセス変動によって、歩留りパラメータ(ウェハテスト後のウェハ価格/枚)は脅かされている。これにより、回路やアーキテクチャ設計のレベルで制約がかけられるであろう。ダイナミック回路の使用は、より低周波か、クロックゲート制御された分野での性能には魅力的であるが、雑音マージンおよび消費電力によって制限されているかもしれない。パス・ゲート・ロジックは基板効果により使用されなくなるであろう。歩留まりのロスを補うために冗長やリコンフィギュラブルの使用と同様に、ロジック中のsingle event upset(SEU)用エラー訂正が増加するであろう。設計と解析中のプロセス変動、および歩留まりパラメータ(ウェハテスト後)への影響が考慮できるように、設計技術はさらに発展するであろう。パワーマネージメントの必要性は、いくつかの要素技術の組合せを求めるであろう。

- ・ 並列処理および適応性のある電圧および周波数スケーリングを含むアプリケーション・OS・アーキテクチャレベルの最適化

¹⁶ Replication enables power savings through lowering of frequency and V_{dd} while maintaining throughput (e.g., two cores running at half the frequency and half the supply voltage will save a factor of 4 in CV^2f dynamic capacitive power, versus the “equivalent” single core). (Possibly, this replication could allow future increases in chip size.) More generally, overheads of time-multiplexing of resources can be avoided, and the architecture and design focus can shift to better use of area than memory. Redundancy-based yield improvement occurs if, for example, a die with $k-1$ instead of k functional cores is still useful.

- ・ 絶縁膜上のシリコン(SOI)使用の増加を含むプロセスの革新
- ・ マルチ Vth・マルチ Vdd・スループット制約のもとでの消費電力最小化・マルチドメインクロックのゲーティングとスケジューリングの同時使用を含む回路設計技術
- ・ リーク電流を減少させる斬新なデバイス

MPU のチャレンジ

MPUドライバは、デバイス (オフ電流)・リソグラフィ/FEP/配線(変動性)・パッケージング(消費消費および電流分配)と同様に、設計とテスト技術(分散型/協調設計プロセス、検証、アットスピードテスト、ツール・キャパシティー、電力管理)に強く影響する。最も大きなチャレンジは、以下の項目である。

- ・ 設計および検証の生産性 (例えば、総設計コスト、バグを大幅に減らすこと) (設計)
- ・ パワーマネージメントおよび電源供給 (例えば giga operations per second (GOPS)/mW) (設計、PIDS、アセンブリおよびパッケージング)
- ・ 量産時の歩留りパラメータ (リソグラフィ、PIDS、FEP、設計)

ミックスド・シグナル・ドライバ

アナログ・ミックスド・シグナルチップは、少なくとも精度の高さが重要である入力信号を扱う部分を含むチップである。それは RF、アナログ、AD コンバータ、DA コンバータを含み多岐にわたる。また最近では、高精度で信号を計測する必要のある回路を有する多くのミックスド・シグナルチップが該当する。これらのチップはデジタル回路に必要な設計やプロセス技術とは異なる技術が必要とする。技術スケーリングはデジタル回路に対しては、省電力、省面積、遅延減少の観点から常に好ましいものであるが、アナログ回路にとっては必ずしも好ましいものではない。何故なら、電源電圧スケーリングにともなって、精度要求を満たすことや決められた電圧範囲の信号を取り扱うことが困難となるためである。このように新技術へのアナログ回路のスケーリングは困難な技術課題である。一般に AMS 回路 (例えば RF とアナログ設計手法) とプロセス技術 (例えばシリコン-ゲルマニウム、エンベディッド受動素子) は低コスト CMOS 集積化への困難な技術課題を含んでいる。しかし、アナログとデジタルをうまく組み合わせると高機能化ばかりではなく、デジタル回路と同じようにコストスケーリングも可能となる。

高精度性が必要であることはアナログ設計ツールへも影響を及ぼす。デジタル回路設計では、論理ゲートが正しく作用する仕組みが作られている。これらの仕組みに従う限り、正確な信号値の計算は必要でなくなる。一方、アナログ設計者は要求精度を満たすために多くの「二次効果」を考慮しなければならない。関連する技術課題としては、相互結合 (信号や電源供給インテグリティに影響をあたえる静電容量、インダクタンス、抵抗および基板) や非対称性 (局所的なイオン注入、位置合わせ、エッチングなどすべての製造工程の局所的な揺らぎは電気的特性に影響を与える) がある。これらの効果を解析するツールはあるが、専門家の手を必要とし、また、それらツールの精度は低消費電力アナログ回路、ミックスドシグナル回路、RF 設計においては未だ不十分である。統合ツールは初歩レベルであり、アナログ回路レイアウト合成に限定されている。AMS 回路に対する製造テストはまだまだ性能向上が必要であるが、SOC へ向けた取り組みとしてアナログ・ビルトイン・セルフ・テスト(BIST)の可能性がある。

今日の大規模なアプリケーションにおけるアナログ回路ならびに RF 回路は SOC のほんの一部である。主流となる製品のビジネスは非常に競争的である—それらは大量生産品であるため、ミックスド・シグナル技術を推進させる多額の研究開発費投資が必要である。移動体通信用分野はミックスド・シグナルを必要とするもっとも大きな製造規模をもつ分野である。アナログとミックスド・シグナル(AMS)のロードマップをまとめる時、多種多様の回路とアーキテクチャが存在するので簡略化が必要となる。本セクションでは 4 つの基本的なアナログ回路について議論する。これらは最も重要な回路要素というだけでなく、それら回路の

要求性能は SOC のアナログならびに RF 部にとって、代表的かつ重要であるためである。

1. 低雑音アンプ (LNA, Low-noise amplifier)
2. 電圧制御発振器 (VCO, Voltage-controlled oscillator)
3. 電力増幅器 (PA, Power amplifier)
4. アナログデジタル変換器 (ADC, Analog-to-digital converter)

これら基本回路に利用される設計およびプロセス技術は、他の多くのミックスド・シグナル回路の性能をも決定する。従って、これら4つの回路の性能を性能指標 (FoM) によって評価する。これらはミックスド・シグナル回路ロードマップの良い指針となる。

以下、これらの性能指標について詳細に議論する。パラメータ(たとえば、利得 G)は、すべてデシベル・スケールではなく絶対値として与える。与えられた設計課題に対しての特定の解決策への偏見を避けるものとする。予想もしない解決策によって技術障壁が克服されることが度々あるので、むしろ異なるタイプの解決策を推奨するためである。(たとえば、代替解決策間の競争は、技術ロードマッピングに関係するすべてのタイプの進歩のためにより推進力となる。)。この回路は、その目的によってそれぞれの異なる要求性能がある。つまり、ある性能指数は異なる応用には矛盾している可能性がある¹⁷。そのような状況を回避するために、移動通信プラットフォームに必要とされるアナログ回路および RF 回路の性能指数を議論する。最後に、本セクションでは、デバイス・パラメータによる性能指標の依存性を評価する。その結果、回路設計上の要求からデバイスおよびプロセス技術仕様を導くことができるようになる。アナログ回路性能の大きな進歩ならびに現実的で実現可能な技術進歩に結びつく外挿法が提案されている。これらのパラメータは、*RF and Analog/Mixed-signal Technologies for Wireless Communications* の章に与えられている。

ロー・ノイズ・アンプ(LNA)

デジタル処理システムは、アナログ処理部分へのインタフェースを必要とする。これらのインタフェースの典型的な例は有線あるいは無線通信での伝送媒体である。LNA は、次段の信号処理において雑音に不感である程度にまで入力信号を増幅する。LNA の重要な性能指標は、次段の信号処理段に雑音を付加することなく且つ歪なく増幅された信号を伝えることである。

LNA の応用(global standard for mobile (GSM), code division multiple access (CDMA), wireless local area network (WLAN), global positioning system (GPS), Bluetooth 等)は多くの周波数帯に関連している。動作周波数、および時に LNA の周波数帯域幅が達成可能な性能に影響を与える。非線形性は多くのアプリケーションに適合するように考慮する必要がある。これらのパラメータは性能指標に含まれる必要がある。他方で、異なるシステムは多くの場合、直接に比較することが不可能であり、異なる必要条件を持つ。例えば、有線アプリケーションには非常に広い帯域幅が必要である。しかし、これは消費電力を増加させる。低消費電力性は、狭帯域の無線通信アプリケーションの重要な設計項目である。広帯域幅のシステムについては、LNA の性能を議論する際に帯域幅の方が線形性よりも重要となることがある。これら矛盾する設計要求を回避するために、無線通信に限定して議論を進める。

低雑音アンプの線形性は、第 3 次インターセプトポイントの出力によって記述することができる($OIP3=G \times IIP3$, ここで G は利得、 $IIP3$ は第 3 次インターセプトポイントの入力)。LNA によって正確に増幅される最小の信号を決定するパラメータは、アンプの雑音指数 NF によって直接与えられる。しかし、雑音が重畳されたアンプの影響度を考えるためには、 $(NF-1)$ の方が、増幅器の雑音 $N_{amplifier}$ と入力信号に含まれる雑音 N_{input} の比率を示すので、増幅器のノイズをよりよく表す。これらの 2 つの性能指標は消費電力 P と関

¹⁷ Certain cases of application are omitted for the sake of simplicity, and arguments are given for the cases selected. Considerations focus on CMOS since it is the prime technological driving force and in most cases the most important technology. Alternative solutions (especially other device families) and their relevance will be discussed for some cases, as well as at the end of this section.

連させることが可能である。その性能指標は、アンプのダイナミックレンジと必要な DC 電力の関係と考えられる。ロードマッピングのためには、それら性能指標は周波数とは無関係、すなわち特定のアプリケーションと無関係であることが望ましい。これは、LNA が一段増幅によって構成されると仮定することで達成することが可能である。その結果、性能指標は動作周波数 f で直線的に計測される。これらの近似と仮定のもとで LNA の性能指標 (FoM_{LNA}) は次のように定義される。

$$FoM_{LNA} = \frac{G \cdot IIP3 \cdot f}{(NF - 1) \cdot P} \quad [1]$$

さらに単純化させる仮定を作り、かつ「設計のノウハウ」を無視することで、技術スケーリングに沿った性能指標の外挿ができる¹⁸。最大発振周波数 f_{max} 、インダクタの性能、MOSFET の利得 ($g_m/g_{ds}|_{L_{min}}$) および RF 供給電圧を考慮した LNA 設計用に関連したデバイス・パラメータの将来トレンドは *RF and Analog/Mixed-signal Technologies for Wireless Communications* の章に記述されている。これらデータを将来へ外挿して、Table SYD3 の中で示される LNA 設計における将来の進歩予測を行うことができる。長期的には、特に線形性に関する問題は、デジタル校正手法を利用して解決してゆくべきものである。

ボルテージ・コントロール・オシレータ(VCO)

VCO は、位相同期ループ (PLL、Phase-Locked Loop) の重要構成要素であり、集積回路と外部の広帯域幅や高動作周波数アプリケーションの間の信号やりとりの同期をとる。VCO の重要な設計目標は、生成された波形のタイミング・ジッタ(あるいは位相雑音)と消費電力を最小限にすることである。これらのパラメータにより、性能指標 (FoM_{VCO}) は次のように定義される:

$$FoM_{VCO} = \left(\frac{f_0}{\Delta f} \right)^2 \frac{1}{L\{\Delta f\} \cdot P} \quad [2]$$

ここで、 f_0 は発振周波数、 $L\{\Delta f\}$ は f_0 からオフセット Δf 離調した周波数において測定した位相雑音スペクトル密度であり、搬送波電力に対する相対値である。 P は全消費電力である。

この定義に動作周波数の絶対値が含まれていない。これは、動作周波数と性能指数の間に明確な関連がないためである。また、必要なチューニング幅がアプリケーションに強く依存するという理由で、ここでの定義には VCO のチューニング幅を無視している。チューニング幅という観点からは、 FoM_{VCO} は位相雑音が最大になる周波数で評価すべきである。

位相雑音の主要因は、VCO を構成する能動素子および受動素子の熱雑音、LC タンク回路の性能指数、発信振幅、および能動部品の $1/f$ 雑音の影響を受けるオフセット周波数の値である。 FoM_{VCO} は VCO の能動素子のオーバードライブ電圧におおよそ比例し、 V_{dd} 電源電圧に反比例し、LC タンク回路の性能指数の二乗に比例する。適当なオーバードライブ電圧を選ぶと、 $1/f$ 雑音の寄与の最小化と十分な発振振幅とのバランスをとることができる。このように FoM_{VCO} は技術進歩とリンクする。将来の技術世代のデバイス・パラメータの予測に基づいて (*RF and Analog/Mixed-Signal Technologies for Wireless Communications* の章のデータを参照)、将来の技術世代における VCO の性能指標の外挿値が Table SYSD3 に示されている。技術スケーリングトレンドに加えて、容量をスイッチで切り替えるデジタル制御発信器の技術トレンドについても掲載されている。

パワーアンプ(PA)

パワーアンプ (PA) は有線あるいは無線のコミュニケーションシステムの伝送パスにおける重要なコンポ

¹⁸ R. Brederlow, S. Donnay, J. Sauerer, M. Vertregt, P. Wambacq, and W. Weber, "A mixed-signal design roadmap for the International Technology Roadmap for Semiconductors (ITRS)," *IEEE Design and Test*, December 2001.

ーネットである。パワーアンプは、隣接したチャネルへの漏洩を最小化するために高い線形性を備えつつ、情報をオフチップへ送信するのに必要な送信電力を供給する。特に電池動作の応用においては、所望の出力電力を最小の DC 電力で実現することが要求される。

CMOS パワーアンプは、その技術的理由から比較的小さな送信電力が必要とされる応用分野に限定される。個別部品で構成されるパワーアンプ(これらは SIP 技術のなかで集積化されるであろうもの)については、バイポーラや化合物半導体テクノロジーが強みを持っている (*RF and Analog/Mixed-Signal Technologies for Wireless Communication* の章を参照)。

性能の指標を議論するためには、いくつかの重要なパラメータを考慮する必要がある。これらのパラメータとは、出力電力 P_{out} 、電力利得 G 、キャリア周波数 f 、線形性 ($IIP3$ での)、および電力付加効率 (PAE) である。不幸にも、線形性はアンプの動作級に強く依存する。このため、異なる動作級のアンプを比較することが困難となっている。さらに線形性に関する課題は、将来的にはデジタル校正手法により解決され得ると思われる。したがって、設計アプローチ手法やアプリケーション毎の固有の仕様といったものと無関係にするために、この線形性のパラメータを性能指数からは省略することにする。パワーアンプの RF 利得の 20dB/デケードのロールオフ¹⁹を補償するため f^2 のファクタを含めている。これらから性能指標 (FoM) は次のように表すことができる。

$$FOM_{PA} = P_{out} \cdot G \cdot PAE \cdot f^2 \quad [3]$$

最後に、パワーアンプのアーキテクチャとして最も単純な A 級動作²⁰に限定し、さらに単純化を行うことで、FOM とデバイス・パラメータ²¹との関係を与えることが可能となる。重要なデバイス・パラメータは、利用可能なインダクタの性能指数と f_{max} である。クラス最高の CMOS パワーアンプの性能指標 (FoM) は、能動デバイスと受動素子パラメータの改善に強く依存しており、最近では技術世代毎におおよそ 2 倍増加している。将来の技術世代に要求されるデバイス・パラメータ (*RF and Analog/Mixed-signal Technologies for Wireless Communication* の章のパワーアンプの表を参照) をもとに将来のパワーアンプに要求される性能指標 (FoM) の要求値を類推することができる。これらを Table SYSD3 に示される。

アナログ-デジタル変換器 (ADC)

デジタル処理システムはアナログの世界とのインタフェースを有している。それは、オーディオやビデオのインタフェース、磁気的あるいは光学的な記憶メディアへのインタフェース、さらに有線あるいは無線の伝送媒体へのインタフェースといったものである。アナログの世界は、ADC を介してデジタル信号処理の世界につながる。すなわち、ADC は、時間的にも信号振幅も連続的なアナログ信号を時間的に離散的 (サンプリング) かつ信号振幅も離散的 (量子化された) な量に変換する。したがって ADC は、システム・インテグレーションの観点から、将来のテクノロジーの有効性や限界を明らかにする上で有効な性能指標になる。また、ADC は今日の集積化ミックスド・シグナル回路設計において、最も重要かつ広く用いられているミックスド・シグナル回路である。

ADC の主要な仕様値は、サンプリングと量子化に関係している。変換における分解能、つまり量子化されたレベルの数は 2^n となる。ここで、 n は変換器における「bit 数」に対応する。このパラメータは、最大の信

¹⁹ Most CMOS PAs are currently operated in this regime. Using DC-gain for applications far below f_t would result in a slightly increased slope.

²⁰ R. Brederlow, S. Donnay, J. Sauerer, M. Vertregt, P. Wambacq, and W. Weber, "A mixed-signal design roadmap for the International Technology Roadmap for Semiconductors (ITRS)," *IEEE Design and Test*, December 2001.

²¹ R. Brederlow, S. Donnay, J. Sauerer, M. Vertregt, P. Wambacq, and W. Weber, "A mixed-signal design roadmap for the International Technology Roadmap for Semiconductors (ITRS)," *IEEE Design and Test*, December 2001.

号対雑音のレベル SNR を決定し、これは $SNR = n \cdot 6.02 + 1.76$ [dB] で与えられる。変換器におけるサンプリングレート、つまり単位時間に量子化される n 幅のサンプル数は、変換に要求される帯域幅とこのような性能に到達するために必要な消費電力に関係している。シャノン/ナイキストの基準は、サンプリングレートが変換される信号の帯域幅の2倍を超えていれば、すなわち $f_{\text{sample}} > 2 \times BW$ であるとき元の信号を再合成できると述べている。

将来の技術世代の可能性を見込むために、ADC の性能指数 (FoM) は、ダイナミックレンジ、サンプルレート f_{sample} それに消費電力 P を考慮したものであるべきである。しかしながら、これらの名目的なパラメータは、変換器の実効的性能への見通しを与えるものではない。より正しい基準は、測定データから抽出される実効的な性能である。ダイナミックレンジは、低周波における信号対雑音および歪 ($SINAD_0$) の測定値から量子化誤差(これらの値は両方とも dB 単位)を引くことで得られる。 $SINAD_0$ より”実効的な bit 数”は $ENOB_0 = (SINAD_0 - 1.76) / 6.02$ で導くことができる。そして、ナイキスト基準とのリンクを保つために、次のことが行われる。つまり、実効的な帯域幅の倍の値 ($2 \times ERBW$) が、もしより小さい値である場合には、サンプルレートの値が、この値で置き換えられる。

$$FoM_{ADC} = \frac{(2^{ENOB_0}) \times \min\{f_{\text{sample}}, \{2 \times ERBW\}\}}{P} \quad [4]$$

ADC に関して、性能指数 FoM とテクノロジーパラメータの関係は、変換器のアーキテクチャや回路形式に強く依存する。ADC の複雑さと多様性は、性能指数とテクノロジーパラメータの直接的な関連付けをほぼ不可能にする。RF 回路においては、この関連付けはある程度可能であった。にもかかわらず、性能指数に入れ込むパラメータに関する一般的な考察が行われている²²。場合によっては、重要なサブ回路の性能要求から、設計の性能要求を決めることができる。異なる ADC の設計に関連するデバイス・パラメータについては、*RF and Analog/Mixed-Signal Technologies for Wireless Communication* の章にまとめられている。近年の傾向として、ADC の性能指数は 3 年ごとにおおよそ 2 倍改善している。設計上の知見が向上していることを考慮に入れると、過去の性能向上はアナログ素子のデバイス・パラメータの改善とよく一致している。スタンダードアロンの CMOS/バイポーラ CMOS (BiCMOS) の場合、2007 年時点の最高クラスである ADC の性能は 500[ギガ変換/秒]であり、エンベディド CMOS の場合で 800[ギガ変換/秒]である。ADC の性能指数の将来予想数値を Table SYSD3 に示す。電源電圧や信号電圧振幅が減少する中で、ADC の性能向上をはかるために設計上の技術進歩が強く要求される。長期的には、基本的な物理的制約(例えば熱雑音)が、ADC の性能指数のさらなる改善の障害になるかもしれない。

Table SYSD3 Projected Mixed-Signal Figures of Merit for Four Circuit Types

Year of Production	2007	2010	2013	2016	2019	2022	Driver
RF-CMOS $\frac{1}{2}$ Pitch	65	45	32	22	18	13	
FoM_{LNA} (GHz)	20	28-32	40-50	50-80	60-90	70-100	Refer to the RF and AMS Technologies for Wireless chapter
FoM_{VCO} (1/J) $\times 10^{22}$	1.4	1.5-1.7	1.8-2	2-2.4	2.4-3	2.7-3.5	
FoM_{PA} ($W \times GHz^2$) $\times 10^4$	15	30	50-70	90-100	110-130	120-140	
FoM_{ADC} (GHz/W) $\times 10^3$ [1]	1.5	2-2.5	2.5-3.5	3-5	4-6	6-10	

²² R. Brederlow, S. Donnay, J. Sauerer, M. Vertregt, P. Wambacq and W. Weber, "A Mixed-signal Design Roadmap for the International Technology Roadmap for Semiconductors (ITRS)," IEEE Design and Test, December 2001.

[1] Lower bound is for "high-resolution/thermal noise limited" A/D converters; upper bound is for "low-resolution/speed limited" A/D converters.

ミックスド・シグナルの発展

コストの見積り — ミックスド・シグナルのドライバの発展は、コストと性能の相互関係によって決定される。Table SYSD3 に示される性能指標は、ミックスド・シグナル回路の性能をあらわす。しかしながら、現実のアナログ・ミックスド回路の開発においては、製品のコストも重大な問題である。コストと性能の両方は、技術トレンドが既存のアプリケーションに対して十分適応可能であるかを決定し、さらに新しいアプリケーションへの発展性を有しているかも決定する。

大量生産されるデジタル製品においては、そのコストはほとんどチップ面積で決まっている。ところが、ミックスド・シグナルの設計においては、面積はいくつかのコスト要因の一つでしかない。SOCにおけるアナログ回路の占有面積は、通常、5～30%の範囲にある。したがって、ミックスド・シグナルの領域の面積を縮小しようとする経済的な圧力は、論理回路部分やメモリの部分に比べるとあまり強くない。以下のような考察をすることができる。

- ・ アナログ部分の面積は、システムにおけるアナログ部分とデジタル部分の切り分けを変えることで時として減らすことができる。(例えば ADC における自動校正機能やパワーアンプの線形性調整)
- ・ 高性能のアナログ素子を導入するとプロセスが複雑化する。このような解決アプローチは、面積を削減することには有効であるが、全体のコストを引き上げることになる。
- ・ 使用する半導体技術の選択は、設計コストに影響を与える場合がある。というのは、ハードウェア設計を何度もやり直すというリスクにつながるからである。(テープアウトに至る設計の繰り返し)
- ・ 製造コストは、パラメトリック歩留り感度によっても影響を受ける。
- ・ 複数のダイ(例えば、ダイサイズが大きく安価なデジタルチップと、ダイサイズの小さい高性能のアナログチップの組合せ)を使う SIP のような解決法の方が、SOC よりも安価になることもありえる。

このような考察は、ミックスド・シグナルの設計におけるコスト見積りを大変困難にする。まず最初に、高性能用途のみに議論を限定して、ミックスド・シグナルのコストを見積もることを試みる。というのは、このような用途というのは、テクノロジーへの要求をドライブするものであるからである。次に、アナログ特性が高性能の受動素子やアナログトランジスタにより実現され、それらの面積がほぼコスト²³に反映されることを注記しておく。トランジスタのスケーリングは、システムのデジタル部分の回路密度を向上させる目的でトランジスタの微細化が牽引されてきた。アナログトランジスタは微細化の恩恵を受け、このことによりトランジスタのレイアウト密度も減少しているので特に言及する必要は無い。今日の多くのアナログ・ミックスド・シグナル回路の設計において、チップ面積はエンベディド受動素子の面積で決まっている。すなわち、これらの受動素子の面積がシステムのミックスド・シグナル部分のコストを決定している。したがって、Wireless 章における表は、高性能のミックスド・シグナル設計におけるコスト/性能比を向上させるのに必要なオンチップ搭載の受動素子のレイアウト密度のロードマップを示している。

技術の充足度の見積り — Figure SYSD12 は、電力と性能の関係の観点で最近の応用分野ごとに ADC への要求を記載している。一定の性能(分解能×帯域幅)という条件のもとでの一定消費電力特性が傾き-1の直線で示されている。性能を向上するということは、よいテクノロジーを使うか、回路設計を改善することで達成されるが、これは一定電力消費の線を右上に移動することと等価である。データによると、Table SYSD3 に示される ADC の技術上の「バリア・ライン」は、1W の電力消費で表されているが、これは 10 年間

²³ In analog designs, power consumption is often proportional to area—and since power is included in all four figures of merit, we have already implicitly considered area and cost criteria. Nonetheless, area requirements should be stated explicitly in a roadmap.

で一桁程度しか移動していないことがわかる。今日の多くの ADC の技術(シリコン、SiGe、III-V 族化合物半導体、それにこれらのハイブリッド)は、1W のバリア・ラインの下にある。そして、このバリア・ラインをより急速に引き上げるための解決策は見つかっていないが、2007 年の現状(1 GHz/mW)では、変換機能としては許容できる消費電力で高速データ通信分野に十分適応可能な位置にある。

ADC の性能向上のペースはハンドセット(通信機)の用途に対しては十分であったが、GSM の基地局のデジタル線形化や、携帯応用における高データレートでのデジタルビデオ用途に対しては、明らかに不足である。例えば、32 キャリアを扱うマルチキャリア GSM 基地局においては、80dB 以上のダイナミックレンジを必要とする。このような基地局において、25MHz の送信帯域幅でデジタル線形化を実現するためには、ADC に消費電力 1W 以下で 300MHz の標本化速度と 14bit の分解能が要求される。Table SYSD3 と最近の進歩の具合を仮定すると、このような性能の ADC が量産されるのは恐らく 2010 年以降になるであろう。高性能パワーアンプを必要とするアプリケーションにおいては、Si-Ge ヘテロ接合バイポーラトランジスタ(HBTs)や III-V 化合物をパワーアンプに利用し、他のアナログフロントエンド部には CMOS を利用する SIP による解決が時に最適解である。

新規製品分野の実現 — 通常の製品において、製品出荷を増やすために一般的に採られる戦略は、価格を下げて性能を上げることである。しかしながら、特にミックスド・シグナル部を含んでいる製品にとっては、この方策は半導体ビジネスにおいて唯一のものではない。技術と設計の改善により、新しい応用(近年の携帯電話のように)が生み出され、半導体産業は新しい市場に入ってゆくことができた。Figure SYSD12 に示されるミックスド・シグナルの設計に関する解析結果は、将来の製品や市場に向けた設計への要求や、設計の実現性を見積もることに使うことができる。性能を向上させることは、現時点の技術で実現されているものよりも高い性能や低い消費電力を必要とする新しい製品を開発できるということと等価であることがわかる。言い換えると、新しい製品の仕様がわかれば、これらの仕様を実現するために必要な半導体技術を見積もることができる。あるいは、半導体産業が妥当なコストと性能で製品を作ることができるようになるまでの時間を知ることができる。このように性能指数の概念は、新しいミックスド・シグナルの製品の市場の潜在性や実現可能性を評価することに使うことができる。高性能のミックスド・シグナルの回路を低コストで組み上げる能力は、半導体産業が新しい製品や市場を開拓する原動力となる。

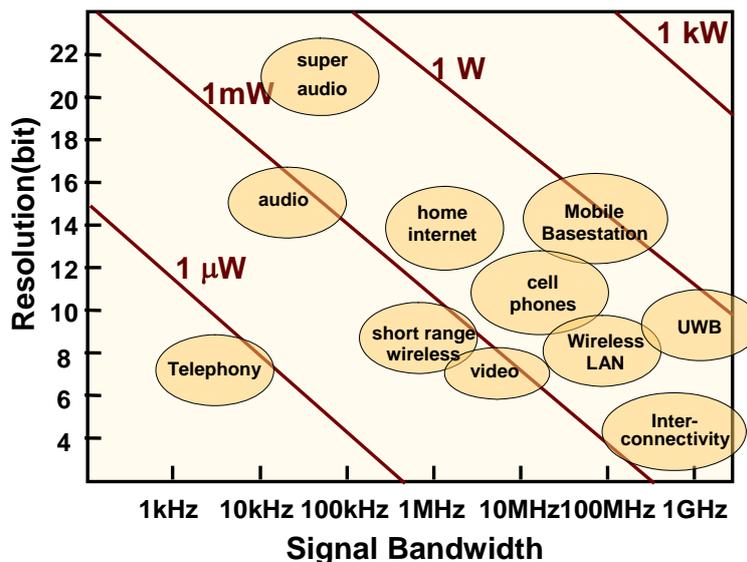


Figure SYSD12

Recent ADC Performance Needs for Important Product Classes

ミックスド・シグナルにおけるチャレンジ

今日のミックスド・シグナルの設計のほとんど(特に古典的なアナログ設計において)は、処理対象の信号は、電圧の差として表されるので、電源電圧が最大の信号振幅を決定する。電源電圧の低下(定電界スケールリングの結果)は、最大の達成可能な信号レベルが下がることを意味する。このことは、SOC ソリューションのミックスド・シグナル製品の開発に対して大きな影響を与える。新しいミックスド・シグナル部分の開発は、一般的にデジタルやメモリ部分よりも多くの開発時間がかかる。設計リソースの不足は、別の重要なチャレンジとなる。理想的な設計プロセスは、既存のミックスド・シグナルの設計資産を再利用し、SOC と外部とのインタフェース仕様を整合するようにパラメータ調整をすることである。しかしながら、このような再利用をおこなうためには、最大動作電圧がスケールリングもせずかつ同じ電気特性をもつ別の MOSFET が必要となる。これは、PIDS 章でのミックスド・シグナルの CMOS トランジスタの特性として、高いアナログ供給電圧とこの電圧が複数のデジタルテクノロジー世代にわたって変更されず一定にとどまることにつながる。このようなデバイスをもってしても、アナログ回路ブロックの電圧低下およびアナログ回路ブロックの開発期間というものが、ミックスド・シグナル機能の低価格化と効率的なスケールリングに対して主要な障害となる。要約すると、最も困難なミックスド・シグナルにおけるチャレンジは以下のものであると言える。

- ・ 供給電圧の低下：電流モード回路を使うこと、電圧を上げるためのチャージポンプ回路を使うことそして、スタンダード・セル回路において、電圧の最適化が必要 (PIDS、設計)
- ・ 相対的なパラメータのばらつき増大：能動的にパラメータのミスマッチを補償する機構の導入、製品の仕様決定の際に速度と分解能のトレードオフを行うことが必要 (PIDS、FET、リソグラフィ、設計)
- ・ チップあたりのアナログトランジスタ数の増加：ミックスド・モードのシミュレーションツールの更なる高速処理、より正確なコンパクトモデル、および収束性の改善が必要 (モデリングとシミュレーション、設計)2
- ・ 処理速度の向上(キャリア周波数およびクロック周波数)：デバイスと配線を正確にモデリングすることに加えて、テスト能力、パッケージやシステムレベルのインテグレーションができることが必要(テスト、実装およびパッケージング、モデリングとシミュレーション)
- ・ SOC 集積に伴うクロストーク：寄生効果のより正確なモデリング、RF 回路における完全差動回路の設計、これらに加えて PIDS 章に記載されている技術的な対処が必要 (PIDS、モデリングとシミュレーション、設計)
- ・ 設計スキルおよび生産性の不足：トレーニングが欠如していること、また、自動化が進んでいないことに起因する。教育と基本的な設計ツールに関する研究が必要 (設計)

混載メモリ・ドライバ

SOC 設計において、混載される RAM や Read Only Memory (ROM)、そしてレジスタ・ファイルメモリの数や種類が益々増加している。インターコネク、IO 帯域幅、設計生産性、そしてシステム電力限界は、すべてマイクロエレクトロニクス・システムにおけるメモリ集積の高いレベルの継続的なトレンドを指し示している。混載メモリ技術をドライブするアプリケーションは、再構成可能な応用(たとえば、自動車用)のコード・ストレージであり、スマートまたはメモリ・カードのデータ・ストレージであり、そしてゲーム用あるいは大容量記憶システムに見られる高性能ロジックと混在する大容量メモリである。

ロジックとメモリのバランスは、総システム・コスト、電力や IO 制約、ハードウェア-ソフトウェア構成、そして全体的なシステムとメモリの階層に影響を受ける。コストに関しては、デバイス性能とモノリシックなロジック-メモリ集積の追加マスク層が、チップ-積層-チップ、もしくは他のシステム・イン・パッケージ (SIP) 集積の代案に対して釣り合う必要がある。ロジック-メモリ集積のレベルは、さらにコード-データ・バランス(たとえば、ソフトウェアはコードメモリに書かれ利用されるべきで、不揮発性やアプリケーションのデータはデータメモリに存在すべきである)だけでなく、ハードウェア-ソフトウェアの切り分けのトレードオフ(たとえば、ソフトウェアはより柔軟である

が、ブートしなければならず、より多くの面積を消費する)にも反映するであろう。IO ピン数と通信速度は、システム構成として、どのように帯域幅とストレージをトレードオフするかを決定する。つまり、1) メモリアクセスは、より高いもしくはより低いバンク・グループでメモリを構成する際の周辺オーバーヘッドの代償によって速くすることができる。そして、2) アクセス速度はまた、ピンカウントと回路の複雑さを、高速で少ピンカウント接続なのかあるいは低速で多ピンカウント接続なのか、その間でどのようにバランスさせるかにも依存する。

メモリ階層は、プロセッサの速度要求にメモリアクセスの能力が一致していることが重要である。この事実は伝統的なプロセッサ・アーキテクチャー領域ではよく知られており、プロセッサ・コアの“メイン”メモリとフォアグラウンド・メモリ(たとえば、レジスタ・ファイル)の間で、ハードウェア・コントロールのキャッシュのいくつかのレイヤーの導入につながっている。各レイヤーでは、通常ひとつの物理キャッシュメモリが存在する。しかしながら、階層の選択は、さらに電力にとって強い意味合いを持つ。従来のアーキテクチャは、エネルギーの非効率的な制御オーバーヘッドの代償に、たとえば高次の連想キャッシュの周囲に含まれる予測/履歴メカニズムと余分なバッファにより、大きく性能を上げている。システムの観点から、ポータブル機器で主要な内蔵のマルチメディアや通信のアプリケーションは、ソフトウェア制御された分散のメモリ階層からより恩恵を受けることができる。メモリ階層の異なるレイヤーは、さらに高度な異なるアクセス・モードと内部分割を要求する。ページ/バースト/インターリーブといったモードの使用と、バンクの物理的な切り分け、サブアレイ、分割ワード/ビットラインは、一般にレイヤーごとに最適化されるに違いない。また、ますます支配的なリーク電力制約は、より異種混合のメモリ階層化につながる。

スケーリングは混載メモリ構造に多くの課題を提示する。回路レベルでは、SRAM のセンス・アンプ・マージン、および DRAM での減少した Ion ドライブ電流は、2つの明確な課題である。より小さな形状は、たとえばデバイス当たりの少数のドーパントなど、ばらつきにより大きな影響を与える。ひとつの製品の中により多くのデバイスが集積されるので、ばらつきは、ノイズマージンとリークパワー(リーク電流は V_{th} の指数関数的な依存性がある)の両方に関して、より大きなパラメトリックな歩留まり損失に繋がる。将来の回路トポロジーと設計手法は、これらの問題に取り組む必要があるであろう。エラー耐性は、プロセス・スケーリングと積極的なレイアウト密度で深刻化するもう一つの課題である。混載メモリのソフト・エラー・レート(SER)は、形状の縮小につれ増加し、そして混載 SRAM および混載 DRAM ともに影響する。これに関しては Design の章で議論される。不揮発性メモリでもビットの書き換えのときは、ソフト・エラーの影響を受けるかもしれない。特に、自動車部門のような高度で信頼性のあるアプリケーションには、エラー訂正はいずれくる要求であり、アクセス・タイム、パワー、およびプロセス・インテグレーションに対する歩留まりと信頼性のトレードオフを引き起こすであろう。最後に、大規模と異種混合メモリ・アレイのためのコスト効率のよい製造テストおよびビルトイン・セルフテストは、SOC における重要な要求である。

メモリのセルサイズとパフォーマンスは、その高い繰り返しの割合から、コストおよび性能に大きく直接の影響を持つので、ここで議論される他の基本回路すべてと比較して、最適化のために費やされる技術作業の量は大変高くなる。Table SYSD4a と SYSD4b は、3つの現在主要なタイプの混載メモリ: CMOS 混載スタティック・ランダムアクセス・メモリ(SRAM)、混載不揮発性メモリ(NVM)、それに混載ダイナミック・ランダムアクセス・メモリ(DRAM)の技術要求を与えるものである。これらのパラメータは、PIDS 章の中のロジック要求テーブルによって与えられた、回路設計考察と技術境界条件のバランスから発生する。CMOS SRAM の積極的なスケーリングは、高性能と低電力のドライバのため継続する。それらはノード当たり $0.7\times$ のリード・サイクル・タイムのスケーリングを要求する。電圧スケーリングは、たとえば保持時間と読み出し動作電圧の関係、あるいは 45 nm ノードで始まる pMOS デバイス要求上の電源としきい値電圧スケーリングの影響、など多数の考察を伴う。発生期の強誘電体 RAM、磁気抵抗 RAM、それに相変化メモリ技術は、Emerging Research Devices 章で議論されている。

Table SYSD4a

Embedded Memory Requirements—Near-term

Year of Production	2007	2008	2009	2010	2013
DRAM ½ Pitch (nm)	65	55	50	45	35
CMOS SRAM High-performance, low standby power (HP/LSTP) DRAM ½ pitch (nm), Feature Size – F	65	65	65	45	35
6T bit cell size (F ²) [1]	140F ²				
Array efficiency [2]	0.7	0.7	0.7	0.7	0.7
Process overhead versus standard CMOS – #added mask layers	2	2	2	2	2
Operating voltage – V _{dd} (V) [4]	1.1	1/1.1	1/1.1	1	0.9/1
Static power dissipation (mW/Cell) [5]	3E-4/1E-6	3E-4/1E-6	3E-4/1E-6	5E-4/1.2E-6	1E-3/1.5E-6
Dynamic power consumption per cell (mW/MHz) [6]	4.5E-7/7E-7	4E-7/6.5E-7	4E-7/6E-7	3E-7/5E-7	2.5E-7/4.5E-7
Read cycle time (ns) [7]	0.3/1.5	0.3/1.5	0.3/1.5	0.2/1.2	0.15/0.8
Write cycle time (ns) [7]	0.3/1.5	0.3/1.5	0.3/1.5	0.2/1.2	0.15/0.8
Percentage of MBU on total SER	16%	16%	16%	32%	64%
Soft error rate (FIT/Mb) [8]	1150	1150	1150	1200	1250
Embedded Non-Volatile Memory (code/data), DRAM ½ pitch (nm)	90	90	90	65	45
Cell size (F ²) – NOR FLOTOX / NAND FLOTOX [9]	10F ² /5F ²				
Array efficiency – NOR FLOTOX/ NAND FLOTOX [10]	0.6/0.8	0.6/0.8	0.6/0.8	0.6/0.8	0.6/0.8
Process overhead versus standard CMOS – #added mask layers [3]	6–8	6–8	6–8	6–8	6–8
Read operating voltage (V)	2V	2V	2V	1.8V	1.5V
Write (program/erase) on chip maximum voltage (V) – NOR/NAND [11]	12V/15V	12V/15V	12V/15V	12V/15V	12V/15V
Static power dissipation (mW/cell) [5]	1.00E-06	1.00E-06	1.00E-06	1.00E-06	1.00E-06
Dynamic power consumption per cell (mW/MHz) [6]	6.00E-09	6.00E-09	6.00E-09	6.00E-09	4.00E-09
Read cycle time (ns) – NOR FLOTOX / NAND FLOTOX [7]	10/50	10/50	10/50	7/35	5/25
Program time per cell (μs) – NOR FLOTOX / NAND FLOTOX [12]	1.0/1000.0	1.0/1000.0	1.0/1000.0	1.0/1000.0	1.0/1000.0
Erase time per cell (ms) – NOR FLOTOX / NAND FLOTOX [12]	10.0/0.1	10.0/0.1	10.0/0.1	10.0/0.1	10.0/0.1
Data retention requirement (years) [12]	10	10	10	10	10
Endurance requirement [12]	100000	100000	100000	100000	100000
Embedded DRAM, ½ pitch (nm)	90	90	65	65	45
1T1C bit cell size (F ²) [13]	12–30	12–30	12–30	12–30	12–30
Array efficiency [2]	0.6	0.6	0.6	0.6	0.6
Process overhead versus standard CMOS – #added mask layers [3]	3–5	3–5	3–5	3–5	3–6
Read operating voltage (V)	2	2	1.8	1.7	1.6
Static power dissipation (mW/Cell) [5]	1.00E-11	1.00E-11	1.00E-11	1.00E-11	1.00E-11
Dynamic power consumption per cell (mW/MHz) [6]	1.00E-07	1.00E-07	1.00E-07	1.50E-07	1.60E-07
DRAM retention time (ms) [12]	64	64	64	64	64
Read/Write cycle time (ns) [7]	0.7	0.7	0.5	0.4	0.3
Soft error rate (FIT/Mb) [8]	60	60	60	60	60

FIT—failures in time FLOTOX—floating gate tunnel oxide MBU—multiple bit upsets NAND—“not AND” logic operation
NOR—“not OR” logic operation

Table SYSD4b

Embedded Memory Requirements—Long-term

Year of Production	2016	2019	2022
DRAM ½ Pitch (nm)	25	18	13
CMOS SRAM High-performance, low standby power (HP/LSTP) DRAM ½ pitch (nm), Feature Size – F	25	18	13
6T bit cell size (F ²) [1]	140F ²	140F ²	140F ²
Array efficiency [2]	0.7	0.7	0.7
Process overhead versus standard CMOS – #added mask layers [3]	2	2	2
Operating voltage – V _{dd} (V) [4]	0.8/0.9	0.7/0.8	0.7/0.8
Static power dissipation (mW/cell) [5]	2E-3/2E-6	3E-3/2.5E-6	5E-3/3E-6
Dynamic power consumption per cell (mW/MHz) [6]	2E-7/4E-7	1.5E-7/3E-7	1E-7/2E-7
Read cycle time (ns) [7]	0.1/0.5	0.07/0.3	0.07/0.3
Write cycle time (ns) [7]	0.1/0.5	0.07/0.3	0.07/0.3
Percentage of MBU on total SER	100%	100%	100%
Soft error rate (FIT/Mb) [8]	1300	1350	1400
Embedded Non-Volatile Memory (code/data), DRAM ½ pitch (nm)	35	25	18
Cell size (F ²) – NOR FLOTOX / NAND FLOTOX [9]	10F ² /5F ²	10F ² /5F ²	10F ² /5F ²
Array efficiency – NOR FLOTOX/NAND FLOTOX [10]	0.6/0.8	0.6/0.8	0.6/0.8
Process overhead versus standard CMOS – #added mask layers [3]	6–8	6–8	6–8
Read operating voltage (V)	1.3V	1.2V	1.1V
Write (program/erase) on chip maximum voltage (V) – NOR/NAND [11]	12V/15V	12V/15V	12V/15V
Static power dissipation (mW/cell) [5]	1.00E-06	1.00E-06	1.00E-06
Dynamic power consumption per cell (mW/MHz) [6]	3.50E-09	3.00E-09	3.00E-09
Read cycle time (ns) – NOR FLOTOX / NAND FLOTOX [7]	3.5/18	2.5/12	2/10
Program time per cell (μs) – NOR FLOTOX / NAND FLOTOX [12]	1.0/1000.0	1.0/1000.0	1.0/1000.0

Erase time per cell (ms) – NOR FLOTOX / NAND FLOTOX [12]	10.0/0.1	10.0/0.1	10.0/0.1
Data retention requirement (years) [12]	10	10	10
Endurance requirement [12]	100000	100000	100000
Embedded DRAM, ½ pitch (nm)	35	25	25
1T1C bit cell size (F ²) [13]	12–30	12–30	12–30
Array efficiency [2]	0.6	0.6	0.6
Process overhead versus standard CMOS – #added mask layers [3]	3–6	3–6	3–6
Read operating voltage (V)	1.5	1.5	1.5
Static power dissipation (mW/cell) [5]	1.00E-11	1.00E-11	1.00E-11
Dynamic power consumption per cell (mW/MHz) [6]	1.70E-07	1.70E-07	1.70E-07
DRAM retention time (ms) [12]	64	64	64
Read/Write cycle time (ns) [7]	0.25	0.2	0.2
Soft error rate (FIT/Mb) [8]	60	60	60

FIT—failures in time FLOTOX—floating gate tunnel oxide MBU—multiple bit upsets NAND—“not AND” logic operation

NOR—“not OR” logic operation

Definitions of Terms for Tables SYSD4a and SYSD4b:

[1] Size of the standard 6T CMOS SRAM cell as a function of minimum feature size.

[2] Typical array efficiency defined as (core area / memory instance area).

[3] Typical number of extra masks needed over standard CMOS logic process in equivalent technology. This is typically zero; however for some high-performance or highly reliable (noise immune) SRAMs special process options are sometimes applied like additional high- V_{th} pMOS cell transistors and using higher V_{dd} for better noise margin or zero- V_{th} access transistors for fast read-out.

[4] Nominal operating voltage refers to the HP and LSTP devices in the logic device requirements table in the PIDS chapter.

[5] Static power dissipation per cell in standby mode. This is measured at $I_{standby} \times V_{dd}$ (off-current and V_{dd} are taken from the HP and LSTP devices in the logic device requirements table in the PIDS Chapter).

[6] This parameter is a strong function of array architecture. However, a parameter for technology can be determined per cell level. Assume full V_{dd} swing on the Wordline (WL) and 0.8 V_{dd} swing on the Bitline (BL). Determine the WL capacitance per cell (CWL) and BL capacitance per cell (CBL). Then: dynamic power consumption per MHz per cell = $V_{dd} \times CWL$ (per cell) $\times (V_{dd}) + V_{dd} \times CBL$ (per cell) $\times (V_{dd}) \times 10^6$.

[7] Read cycle time is the typical time it takes to complete a READ operation from an address. Write cycle time is the typical time it takes to complete a WRITE operation to an address. Both cycle times depend on memory size and architecture.

[8] A FIT is a failure in 1 billion hours. This data is presented as FIT per megabit.

[9] Size of the standard 1T FLOTOX cell/size of the standard 2T select gate (SG) cell/size of the standard NAND cell. Cell size is somewhat enhanced compared to stand-alone NVM due to integration issues.

[10] Array efficiency of the standard stacked gate NOR architecture/standard split gate NOR architecture/standard NAND architecture. Data refer to the NVM device requirements table in the PIDS chapter.

[11] Maximum voltage required for operation, typically used in WRITE operation. Data refer to the NVM device requirements table in the PIDS chapter.

[12] Program time per cell is typically the time needed to program data to a cell. Erase time per cell is typically the time needed to erase a cell. Data retention requirement is the duration for which the data must remain non-volatile even under worst-case conditions. Endurance requirement specifies the number of times the cell can be programmed and erased.

[13] Size of the standard cell for embedded trench DRAM cell. Data refers to the DRAM requirements table in the PIDS chapter.

システム・レベル・ロードマップへの繋ぎ; SOC-PE 消費電力試算

iNEMI のロードマップは、ITRS のロードマップのチップから成るシステムやボードの方向へ進む。ITRS 設計 ITWG は、ITRS と iNEMI ロードマップが、システムドライバが現実的な入力パラメータの目標を持つことを確認するために、選択的な局面で整合する努力を開始した。試行的な研究が、この整合の範疇、つまり、(a) SOC-PE、民生携帯ドライバ、そして(b) 設計上のパワー/エネルギーの局面で、行われた。その整合されるであろう選択されたパラメータは、供給電圧、エネルギー消費、スタンバイ・パワー、再充電までの動作時間、動作温度範囲、熱設計パワー(チップの最高温度)、チップ当りの最大電流、熱設計の不確実性、冷却法、更に受動的な使用法が含まれる。数個のパラメータは、ITRS にも iNEMI モデルにも存在しておらず、より深い将来の共調の必要性を示している。Figure SYSD14 は、この課題における可能な 2 つの鍵となる比較を示している。

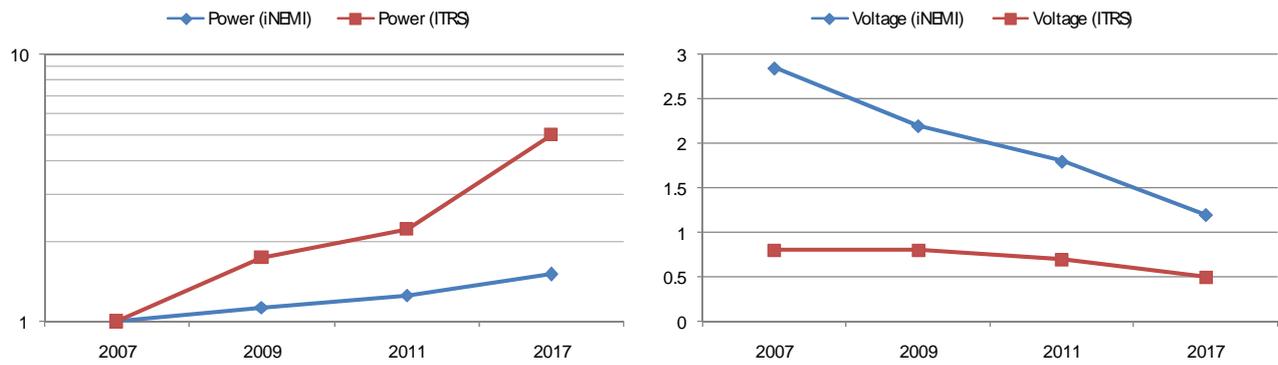


Figure SYSD13 ITRS-iNEMI System-to-Chip Power Comparison Trends

左側の図が示すように、システムレベルとチップ・レベル・パワー仕様のギャップは相対期間で増大して、それはボードで扱うには、チップは熱過ぎになる危機的な可能性を示している。右側の図は、もう一つの潜在的で深刻な問題：供給電圧が、チップ・レベルよりシステムレベルの方が、もっと早く落ち込むように見え、この結果は、チップ・レベルでの供給電圧の低下へのより強い圧力を生むだろう。